

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284464
 (43)Date of publication of application : 12.10.2001

(51)Int.Cl.
 H01L 21/8234
 H01L 27/088
 G05F 3/24
 H01L 27/04
 H01L 21/822
 H01L 21/8236

(21)Application number : 2000-386059 (71)Applicant : RICOH CO LTD
 (22)Date of filing : 19.12.2000 (72)Inventor : WATANABE HIROBUMI
 ANDO SHUNSUKE

(30)Priority

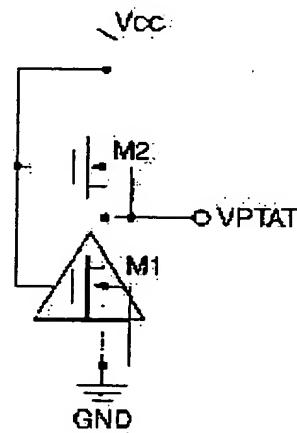
Priority number : 11372432 Priority date : 28.12.1999 Priority country : JP
 2000014330 24.01.2000
 JP

(54) VOLTAGE GENERATING CIRCUIT USING FIELD EFFECT TRANSISTOR AND REFERENCE VOLTAGE SOURCE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a voltage generating circuit using a field effect transistor that can operate with stability even at a high temperature of 80°C or higher.

SOLUTION: Between a VCC and a GND, a depletion type MOS transistor M1 having a low-concentration n-type polysilicon gate is serially connected with the depletion type MOS transistor M2 having a high-concentration n-type polysilicon gate. A gate and a source of the MOS transistor M2 are connected (a constant current connection: $VGS = 0$). An n-type channel MOS transistor M3 wherein a connection part of the MOS transistor M2 of the gate and the source, the VCC, and the gate of the MOS transistor M1 are connected with the gate, the drain, and the gate respectively is arranged. The voltage of the gate of the MOS transistor M1 becomes a $VPTAT = UT \ln(Ng_2/Ng_1)$.



LEGAL STATUS

[Date of request for examination] 15.05.2003
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284464

(P2001-284464A)

(43) 公開日 平成13年10月12日 (2001.10.12)

(51) Int.Cl.
H 01 L 21/8234
27/088
G 05 F 3/24
H 01 L 27/04
21/822

識別記号

F I
C 05 F 3/24
H 01 L 27/08
27/04
27/08
1.02 C

B 5 F 0 3 8
1.02 J 5 F 0 4 8
B 5 H 4 2 0
V

テマコト(参考)

審査請求 未請求 請求項の数38 OL (全 26 頁) 最終頁に続く

(21) 出願番号 特願2000-386059(P2000-386059)
(22) 出願日 平成12年12月19日 (2000.12.19)
(31) 優先権主張番号 特願平11-372432
(32) 優先日 平成11年12月28日 (1999.12.28)
(33) 優先権主張国 日本 (JP)
(31) 優先権主張番号 特願2000-14330(P2000-14330)
(32) 優先日 平成12年1月24日 (2000.1.24)
(33) 優先権主張国 日本 (JP)

(71) 出願人 000006747
株式会社リコー
東京都大田区中馬込1丁目3番6号
(72) 発明者 渡辺 博文
東京都大田区中馬込1丁目3番6号 株式会社リコー内
(72) 発明者 安藤 俊輔
東京都大田区中馬込1丁目3番6号 株式会社リコー内
(74) 代理人 100070150
弁理士 伊東 忠彦

最終頁に続く

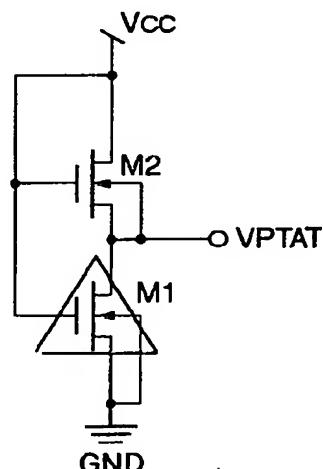
(54) 【発明の名称】 電界効果トランジスタを用いた電圧発生回路及び基準電圧源回路

(57) 【要約】

【課題】 80°C以上の高温でも安定動作する電界効果トランジスタを用いた電圧発生回路を実現すること。

【解決手段】 VCCとGNDの間に、高濃度のn型ポリシリコンゲートを持つデプレッション型MOSトランジスタM2と低濃度のn型ポリシリコンをゲートに有するデプレッション型MOSトランジスタM1を直列に接続する。MOSトランジスタM2のゲートとソースを結線し(定電流結線: $VGS2 = 0$)。MOSトランジスタM2のゲートとソースの結線部にゲートを、VCCにドラインを、MOSトランジスタM1のゲートにゲートをそれぞれ接続したn型チャネルMOSトランジスタM3を設ける。MOSトランジスタM1のゲートの電圧がVPTAT = $U_{T1} \ln(Ng2/Ng1)$ となる。

本発明の第2実施例の基本回路構成を示す図



【特許請求の範囲】

【請求項1】少なくとも一部が同一の導電型で不純物の濃度の異なるゲートを有する複数の電界効果トランジスタを用いたことを特徴とする電圧発生回路。

【請求項2】請求項1記載の電界効果トランジスタを用いた電圧発生回路において、前記不純物の濃度を1桁以上異ならせたことを特徴とする電界効果トランジスタを用いた電圧発生回路。

【請求項3】請求項2記載の電界効果トランジスタを用いた電圧発生回路において、

前記複数の電界効果トランジスタは同一の導電型で不純物の濃度の異なるゲートを有する第1及び第2の電界効果トランジスタよりなり、

前記第1の電界効果トランジスタと前記第2の電界効果トランジスタのゲートを結線するとともに、該第1の電界効果トランジスタと前記第2の電界効果トランジスタのソース電圧の差を出力することを特徴とする電界効果トランジスタを用いた電圧発生回路。

【請求項4】請求項2記載の電界効果トランジスタを用いた電圧発生回路において、

前記複数の電界効果トランジスタは同一の導電型で不純物の濃度の異なるゲートを有する第1及び第2の電界効果トランジスタよりなり、

前記第1の電界効果トランジスタと前記第2の電界効果トランジスタのソースを結線するとともに、該第1の電界効果トランジスタと前記第2の電界効果トランジスタのゲート電圧の差を出力することを特徴とする電界効果トランジスタを用いた電圧発生回路。

【請求項5】請求項2記載の電界効果トランジスタを用いた電圧発生回路において、

前記複数の電界効果トランジスタは同一の導電型で不純物の濃度の異なるゲートを有する第1及び第2の電界効果トランジスタよりなり、

前記第1の電界効果トランジスタと前記第2の電界効果トランジスタのいずれか一方の電界効果トランジスタのゲート-ソース間電圧を0ボルトにするとともに、他方の電界効果トランジスタのゲート-ソース間電圧を出力することを特徴とする電界効果トランジスタを用いた電圧発生回路。

【請求項6】請求項5記載の電界効果トランジスタを用いた電圧発生回路において、

前記第2の電界効果トランジスタが、ゲートとソースが結線されたデプレッション型の高濃度n型のゲートを有するn型チャネル電界効果トランジスタであり、

前記第1の電界効果トランジスタが、前記第2の電界効果トランジスタのソースにドレインが接続された低濃度n型のゲートを有するn型チャネル電界効果トランジスタであり、

かつ、直列に接続された第3のn型チャネル電界効果トランジスタと抵抗からなり、

該第3のn型チャネル電界効果トランジスタと抵抗の接続点に前記第1の電界効果トランジスタのゲートを接続して該第1の電界効果トランジスタのゲート電位を与えるソースフォロア回路を有し、

前記接続点から前記第1の電界効果トランジスタのゲート電位を出力することを特徴とする電界効果トランジスタを用いた電圧発生回路。

【請求項7】請求項5記載の電界効果トランジスタを用いた電圧発生回路において、

前記第2の電界効果トランジスタが、ゲートとソースが結線されたデプレッション型の高濃度n型のゲートを有するn型チャネル電界効果トランジスタであり、

前記第1の電界効果トランジスタが、前記第2の電界効果トランジスタのソースにドレインが接続された低濃度n型のゲートを有するn型チャネル電界効果トランジスタであり、かつ、

直列に接続された第3のn型チャネル電界効果トランジスタと第1の抵抗と第2の抵抗からなり、

該第3のn型チャネル電界効果トランジスタと第1の抵抗の接続点に前記第1の電界効果トランジスタのゲートを接続して該第1の電界効果トランジスタのゲート電位を与えるソースフォロア回路を有し、

前記第1の抵抗と第2の抵抗の接続点の電位を出力することを特徴とする電界効果トランジスタを用いた電圧発生回路。

【請求項8】請求項5記載の電界効果トランジスタを用いた電圧発生回路において、

前記第2の電界効果トランジスタが、ゲートとソースが結線されたデプレッション型の高濃度n型のゲートを有するn型チャネル電界効果トランジスタであり、

前記第1の電界効果トランジスタが、前記第2の電界効果トランジスタのソースにドレインが接続された低濃度n型のゲートを有するn型チャネル電界効果トランジスタであり、かつ、

直列に接続された第3のn型チャネル電界効果トランジスタと第1の抵抗と第2の抵抗からなり、

該第1の抵抗と第2の抵抗の接続点に前記第1の電界効果トランジスタのゲートが接続され該第1の電界効果トランジスタのゲート電位を与えるソースフォロア回路を有し、

前記第3のn型チャネルMOSトランジスタと第1の抵抗の接続点の電位を出力することを特徴とする電界効果トランジスタを用いた電圧発生回路。

【請求項9】請求項7または8記載の電界効果トランジスタを用いた電圧発生回路において、

製造の際の拡散、成膜工程後に、前記第1の抵抗および前記第2の抵抗の値を調整可能な手段を有することを特徴とする電圧発生回路。

【請求項10】請求項6乃至9のいずれかに記載の電界効果トランジスタを用いた電圧発生回路において、前記

第1の電界効果トランジスタおよび前記第2の電界効果トランジスタを、p型チャネル電界効果トランジスタにしたことを特徴とする電界効果トランジスタを用いた電圧発生回路。

【請求項11】請求項2乃至10のいずれかに記載の電界効果トランジスタを用いた電圧発生回路において、前記複数の電界効果トランジスタは同一の導電型で不純物の濃度の異なるゲートを有する第1及び第2の電界効果トランジスタよりなり。

前記第1及び第2の電界効果トランジスタのドレイン電流が等しくされたことを特徴とする電圧発生回路。

【請求項12】少なくとも一部が同一導電型で不純物濃度の異なる半導体ゲートを持つ複数の電界効果トランジスタから構成される正の温度係数を有する電圧源回路と、

少なくとも一部が異種導電型の半導体ゲートを持つ複数の電界効果トランジスタから構成される負の温度係数を有する電圧源回路を具備することを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項13】請求項12記載の電界効果トランジスタを用いた基準電圧源回路において、前記正の温度係数を有する電圧源回路および負の温度係数を有する電圧源回路が、少なくとも一部の導電型または不純物濃度の異なる半導体ゲートを持つ直列に接続された第1～第3の電界効果トランジスタにより構成されることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項14】請求項13記載の電界効果トランジスタを用いた基準電圧回路において、高濃度n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタと、低濃度n型のゲートを持つn型チャネルの第2の電界効果トランジスタと、p型のゲートのエンハンスマント型でゲートとドレインを結線したn型チャネルの第3の電界効果トランジスタとを直列に接続するとともに、

前記第2の電界効果トランジスタのゲート電位を与えるソースフォロア回路を設け、

前記第2の電界効果トランジスタのゲート電圧を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項15】請求項13記載の電界効果トランジスタを用いた基準電圧回路において、

n型のゲートのエンハンスマント型でゲートとドレインを結線したp型チャネルの第1の電界効果トランジスタと、低濃度p型のゲートをもつp型チャネルの第2の電界効果トランジスタと、高濃度p型のゲートのデプレッション型でゲートとソースを結線したp型チャネルの第3の電界効果トランジスタとを直列に接続するとともに、

前記第2の電界効果トランジスタのゲート電位を与えるソースフォロア回路を設け、前記第2の電界効果トランジスタのゲート電圧を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項16】請求項12記載の電界効果トランジスタを用いた基準電圧回路において、

前記正の温度係数を有する電圧源回路および前記負の温度係数を有する電圧源回路が、少なくとも一部の導電型または不純物濃度の異なる半導体ゲートをもつ第1～第4の電界効果トランジスタにより構成されることを特徴とする基準電圧源回路。

【請求項17】請求項16記載の電界効果トランジスタを用いた基準電圧回路において、

n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタと、p型のゲートのn型チャネルの第2の電界効果トランジスタとを直列に接続するとともに、

該第2の電界効果トランジスタのゲート電位を与えるソースフォロア回路を設け、かつ、

該ソースフォロア回路によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第3の電界効果トランジスタと、低濃度n型のゲートのn型チャネルの第4の電界効果トランジスタを入力トランジスタとした差動アンプを構成し、

前記第4の電界効果トランジスタのゲート電位を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項18】請求項16記載の電界効果トランジスタを用いた基準電圧回路において、

n型のゲートのp型チャネルの第1の電界効果トランジスタと、p型のゲートのデプレッション型でゲートとソースを結線したp型チャネルの第2の電界効果トランジスタとを直列に接続するとともに、

前記第2の電界効果トランジスタのゲート電位を与えるソースフォロア回路を設け、かつ、

該ソースフォロア回路によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第3の電界効果トランジスタと、低濃度n型のゲートのn型チャネルの第4の電界効果トランジスタを入力トランジスタとした差動アンプを構成し、

前記第4の電界効果トランジスタのゲート電位を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項19】請求項16記載の電界効果トランジスタを用いた基準電圧回路において、

n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタと、p型のゲートのn型チャネルの第2の電界効果トランジスタとを直列に接続するとともに、

該第2の電界効果トランジスタのゲート電位を与えるソースフォロア回路を設け、かつ、
該ソースフォロア回路によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第3の電界効果トランジスタと、低濃度n型のゲートのデプレッション型でゲートとソースをGND電位としたn型チャネルの第4の電界効果トランジスタを直列に接続し、
前記第3の電界効果トランジスタと前記第4の電界効果トランジスタの接続点を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項20】請求項16記載の電界効果トランジスタを用いた基準電圧回路において、
n型のゲートのp型チャネルの第1の電界効果トランジスタと、p型のゲートのデプレッション型でゲートとソースを結線したp型チャネルの第2の電界効果トランジスタを直列に接続するとともに、
前記第1の電界効果トランジスタのゲート電位を与えるソースフォロア回路を設け、かつ、
該ソースフォロア回路によりゲート電圧が与えられる低濃度n型のゲートのp型チャネルの第3の電界効果トランジスタと、高濃度n型のゲートのゲートとドレインを結線したp型チャネルの第4の電界効果トランジスタを直列に接続し、
前記第3の電界効果トランジスタと前記第4の電界効果トランジスタの接続点を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項21】請求項16記載の電界効果トランジスタを用いた基準電圧回路において、
n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタと、p型のゲートのn型チャネルの第2の電界効果トランジスタを直列に接続するとともに、
前記第2の電界効果トランジスタのゲート電位を与えるソースフォロア回路を設け、かつ、
高濃度p型のゲートのデプレッション型でゲートとソースを結線したp型チャネルの第3の電界効果トランジスタと、前記ソースフォロア回路によりゲート電圧が与えられる低濃度p型のゲートのp型チャネルの第4の電界効果トランジスタを直列に接続し、
前記第3の電界効果トランジスタと前記第4の電界効果トランジスタの接続点を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項22】請求項16記載の電界効果トランジスタを用いた基準電圧回路において、
n型のゲートのp型チャネルの第1の電界効果トランジスタと、p型のゲートのデプレッション型でゲートとソースを結線したp型チャネルの第2の電界効果トランジ

スタを直列に接続するとともに、
前記第1の電界効果トランジスタのゲート電位を与えるソースフォロア回路を設け、かつ、
該ソースフォロア回路によりゲート電圧が与えられる高濃度n型のゲートのデプレッション型のn型チャネルの第3の電界効果トランジスタと、低濃度n型のゲートでゲートとソースを結線したn型チャネルの第4の電界効果トランジスタを直列に接続し、
前記第3の電界効果トランジスタと前記第4の電界効果トランジスタの接続点を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項23】請求項12記載の電界効果トランジスタを用いた基準電圧回路において、
前記正の温度係数を有する電圧源回路および前記負の温度係数を有する電圧源回路のうち、どちらか一方または双方を夫々複数個用いたことを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項24】請求項23記載の電界効果トランジスタを用いた基準電圧回路において、
前記負の温度系數を持つ電圧源回路が、n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタと、p型のゲートのエンハンスマント型でゲートとドレインを結線したn型チャネルの第2の電界効果トランジスタの直列接続構成からなり、
前記正の温度系數を持つ電圧源回路が、前記第2の電界効果トランジスタのドレン電圧によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第3の電界効果トランジスタと、低濃度n型のゲートのデプレッション型でゲートとソースをGND電位としたn型チャネルの第4の電界効果トランジスタの直列接続構成と、
前記第3の電界効果トランジスタと第4の電界効果トランジスタの接続点の電圧によりゲート電位が与えられる第5の電界効果トランジスタと、低濃度n型のゲートのデプレッション型でゲートとソースをGND電位としたn型チャネルの第6の電界効果トランジスタの直列接続構成からなり、
前記第5の電界効果トランジスタと前記第6の電界効果トランジスタの接続点を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項25】請求項23記載の電界効果トランジスタを用いた基準電圧回路において、
前記負の温度系數を持つ電圧源回路が、n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタと、p型のゲートのエンハンスマント型でゲートとドレインを結線したn型チャネルの第2および第3の電界効果トランジスタの直列接続構成からなり、
前記第5の電界効果トランジスタと前記第6の電界効果トランジスタの接続点を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項26】請求項23記載の電界効果トランジスタを用いた基準電圧回路において、
前記負の温度系數を持つ電圧源回路が、n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタと、p型のゲートのエンハンスマント型でゲートとドレインを結線したn型チャネルの第2および第3の電界効果トランジスタの直列接続構成からなり、
前記第5の電界効果トランジスタと前記第6の電界効果トランジスタの接続点を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

前記正の温度係数を持つ電圧源回路が、高濃度n型のゲートのn型チャネルの第4の電界効果トランジスタと、低濃度n型のゲートのデプレッション型でゲートとソースをGND電位としたn型チャネルの第5の電界効果トランジスタの直列接続構成と、

前記第4の電界効果トランジスタと第5の電界効果トランジスタの接続点の電圧によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第6の電界効果トランジスタと、低濃度n型のゲートのデプレッション型でゲートとソースをGND電位としたn型チャネルの第7の電界効果トランジスタの直列接続構成からなり、前記第6の電界効果トランジスタと前記第7の電界効果トランジスタの接続点を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項26】請求項12記載の電界効果トランジスタを用いた基準電圧回路において、前記前記正の温度係数を有する電圧源回路と前記負の温度係数を有する電圧源回路を構成する電界効果トランジスタが、少なくとも一部の導電型または不純物濃度の異なるゲートを持ちチャネルドープを使わないことを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項27】請求項26記載の電界効果トランジスタを用いた基準電圧源回路において、

前記負の温度係数を有する電圧源回路が、n型のゲートのエンハンスマント型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタと、p型のゲートのエンハンスマント型でゲートとドレインを結線したn型チャネルの第2の電界効果トランジスタの直列接続構成からなり、

前記正の温度係数を持つ電圧源回路が、高濃度n型のゲートのn型チャネルの第3の電界効果トランジスタと、低濃度n型のゲートのエンハンスマント型でゲートとソースGND電位としたn型チャネルの第4の電界効果トランジスタの直列接続構成と、

前記第3の電界効果トランジスタと第4の電界効果トランジスタの接続点の電圧によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第5の電界効果トランジスタと、低濃度n型のゲートのエンハンスマント型でゲートとソースをGND電位としたn型チャネルの第6の電界効果トランジスタの直列接続構成からなり、前記第5の電界効果トランジスタと前記第6の電界効果トランジスタの接続点を基準電圧出力点とすることを特徴とする電界効果トランジスタを用いた基準電圧源回路。

【請求項28】請求項15乃至27のいずれかに記載の電界効果トランジスタを用いた基準電圧源回路において、

前記正の温度係数を有する電圧源回路及び負の温度係数を有する電圧源回路の各々を構成する前記少なくとも一

部の電界効果トランジスタのドレイン電流を等しくしたことを特徴とする基準電圧源回路。

【請求項29】請求項1乃至11のいずれかに記載の電界効果トランジスタを用いた電圧発生回路において、各ゲートは単結晶シリコンよりなることを特徴とする電圧発生回路。

【請求項30】請求項1乃至11のいずれかに記載の電界効果トランジスタを用いた電圧発生回路において、各ゲートは多結晶シリコンよりなることを特徴とする電圧発生回路。

【請求項31】請求項30記載の電界効果トランジスタを用いた電圧発生回路において、前記多結晶シリコンのダングリングボンドの略98%以上がターミネートされていることを特徴とする電圧発生回路。

【請求項32】請求項1乃至11のいずれかに記載の電界効果トランジスタを用いた電圧発生回路において、各ゲートは多結晶 Si_xGe_{1-x} よりなることを特徴とする電圧発生回路。

【請求項33】請求項32記載の電界効果トランジスタを用いた電圧発生回路において、前記 Si_xGe_{1-x} の構成比が略

$0.01 < X < 0.5$

の範囲に入っていることを特徴とする電圧発生回路。

【請求項34】請求項12乃至28のいずれかに記載の電界効果トランジスタを用いた基準電圧源回路において、

各ゲートは単結晶シリコンよりなることを特徴とする基準電圧源回路。

【請求項35】請求項12乃至28のいずれかに記載の電界効果トランジスタを用いた基準電圧源回路において、

各ゲートは多結晶シリコンよりなることを特徴とする基準電圧源回路。

【請求項36】請求項35記載の電界効果トランジスタを用いた基準電圧源回路において、

前記多結晶シリコンのダングリングボンドの略98%以上がターミネートされていることを特徴とする基準電圧源回路。

【請求項37】請求項12乃至28のいずれかに記載の電界効果トランジスタを用いた基準電圧源回路において、

各ゲートは多結晶 Si_xGe_{1-x} よりなることを特徴とする基準電圧源回路。

【請求項38】請求項37記載の電界効果トランジスタを用いた基準電圧源回路において、

前記 Si_xGe_{1-x} の構成比が略

$0.01 < X < 0.5$

の範囲に入っていることを特徴とする基準電圧源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基準電圧、電圧比較器の温度補償回路、温度センサー、リニアな温度特性を持つ抵抗と組み合わせた電流源などに利用可能な電圧発生回路に関し、特に、80°C以上でも安定動作し、絶対温度に比例する電圧(PTAT:Proportional-To-Absolute-Temperature)を発生する電界効果トランジスタ(以下、MOS型の電界効果トランジスタを用いた例で説明する)を用いた電圧発生回路に関する。

【0002】又、更に、本発明は、アナログ回路などに用いられる基準電圧源回路に係り、特に、80°C以上でも安定動作し、絶対温度に比例する電圧(PTAT:Proportional-To-Absolute-Temperature)を発生する電界効果トランジスタ(以下、MOS型の電界効果トランジスタを用いた例で説明する)を用いて所望の温度特性を持たせるようにした電界効果トランジスタを用いた基準電圧源回路に関する。

【従来の技術】従来、バイポーラトランジスタを用いた電圧発生回路としてPTAT回路が知られており、この技術をMOSトランジスタの弱反転領域を利用して実現したCMOSトランジスタを用いたPTAT回路も提案されている。また、CMOSによる基準電圧源として、電界効果トランジスタを弱反転領域で動作させて正の温度係数の電圧源をつくり、これを用いて温度変化の少ない基準電圧源を実現するものが知られている。以下、これらの従来技術を説明する。

【0003】MOSトランジスタの弱反転領域を利用したCMOSトランジスタによるPTAT回路として、例えば、E.Vittoz and J.Fellrath, "CMOS Analog Integrated Circuits Based on Weak Inversion Operation" Vol. SC-12, No.3, pp.224-231, June. 1977. (参考文献B)に開示されたものがある。これによると、弱反転領域におけるドレイン電流 I_d は下記数1で与えられる。

$$I_d = S I_{D0} \exp(VG/nU_T) \{ \exp(-VS/U_T) - \exp(-VD/U_T) \}$$

ここで、VG、VS、VDは、それぞれ、基板とゲート、基板とソース、基板とドレインの間の電位差を表わし、Sは実効的なチャネル幅Wとチャネル長Lの比(W_{eff}/L_{eff})、I_{D0}はプロセステクローで定まる特性電流、nはスロープファクター(弱反転における立ち上がり特性)、U_Tは(kT/q)を表わしている。ここで、kはボルツマン定数、Tは絶対温度、qはキャリア(電子)の電荷である。

【0004】また、Tsividis and Ulmer, "A CMOS Voltage Reference" IEEE Journal of Solid-State Circuits, Vol. SC-13, No.6, pp.774-778, Dec. 1978. (参考文献A)では、本願図1に示すようにソース結合したn型チャネルMOSトランジスタT1 T2にそれぞれI1、I2の電流を流し、ゲート電圧の差(V1-V2)として、 $VPTAT = V1 - V2 = n U_T \ln((S2 I1)/(S1 I2))$ を得ている(参考文献AのFig. 4参照)。

【0005】また、同図において、バイポーラトランジスタのベースエミッタの電圧降下をV_{be}、出力V_oとすれば、

$$V_{be} + V1 = V2 + V_o$$

であるから、出力V_oは、

$$V_o = V_{be} + (V1 - V2) = V_{be} + VPTAT$$

となる。第1項のバイポーラトランジスタのベースエミッタ電圧V_{be}は絶対温度に対して負の温度特性を有し、第2項のVPTATは正の温度特性を有するので、それらを加算した出力電圧V_oはフラットの温度特性を有する。

【0006】また、E.Vittoz and O.Neyroud, "A low-voltage CMOS bandgap reference" IEEE Journal of Solid-State Circuits, Vol. SC-14, No.3, pp.573-577, June. 1979. (参考文献C)では、本願図2に示すように、ゲート結合したn型チャネルMOSトランジスタTa Tbに同一の電流Iを流し、それらのソース電圧の差(V_o)として、

$$V_o = VPTAT = U_T \ln(1 + Sb/Sa)$$

を得ている(参考文献CのFig. 7参照)。参考文献AおよびCのいずれのVPTAT出力も、 $U_T = (kT/q)$ に比例した出力となる。

【0007】また、Oguey et al., "MOS Voltage Reference Based on Polysilicon Gate Work Function Difference" IEEE Journal of Solid-State Circuits, Vol. SC-15, No.3, Jun. 1980. (参考文献D)では、本願図3に示すように丸で囲ったp+ポリシリコンゲートを持つトランジスタT1とn+ポリシリコンゲートを持つトランジスタT2を差動アンプの入力トランジスタとして用い、それぞれのトランジスタT1、T2を弱反転領域にバイアスし、ゲート電圧の差

$$VR = VG1 - VG2 = \Delta VG + U_T \ln(I D1 S2 / I D2 S1)$$

とシリコンのバンドギャップ△VGとVPTATの $U_T \ln(I D1 S2 / I D2 S1)$ を得る。

【0008】さらに

$$\Delta VG = \Delta VG_0 - \alpha mT$$

であることから、

$$\alpha mT = U_T \ln(I D1 S2 / I D2 S1)$$

として、温度に依存しない電圧

$$VR = \Delta VG_0 = 1.20V$$

を得ている(参考文献DのFig. 9参照)。

【0009】

【発明が解決しようとする課題】上述したように、上記従来技術においては、バイポーラトランジスタの代わりにMOSトランジスタのゲートの弱反転領域を利用するによってPTATを実現している。しかしながら弱反転領域を利用する場合、次のような問題点がある。

【0010】a) MOSトランジスタのゲートを弱反転領域にするためには、弱反転用の微小電流バイアス回路

が必要となる、という問題点。上記参考文献B（該文献中の式（12）参照）によれば、MOSトランジスタを弱反転領域に保つにはドレイン電流は、

$$I \leq ((n-1)/e^2) S \mu C_{ox} U_t^2$$

を満たさなければならない。ここで、nはスロープファクタ、Sは実効的なチャネル幅Wとチャネル長Lの比（Weff/Leff）、μはチャネル内のキャリアの易動度、Coxは単位面積当たりの酸化膜の静電容量である。

【0011】具体的には、米国特許明細書；USP4327320.4/1982 “REFERENCE VOLTAGE SOURCE” Oguey（参考文献E）に記載されているように、 $n = 1.7$; $S = 1$; $\mu = 750 \text{ cm}^2/\text{Vs}$; $C_{ox} = 4.5 \text{ nF/cm}^2$; $U_t = 2.6 \text{ mV}$ とした場合、室温でのドレイン電流は2nA以下の微小なドレイン電流にしなければならない。

【0012】b) 寄生ダイオードの影響による問題点。しかしながら、上述したように2nA以下の微小なドレイン電流で動作させる場合は、ドレイン-基板間の寄生ダイオードのリーク電流の影響を受けやすい。例えば、参考文献Dの第268頁には、80°C以上の温度ではリーク電流によるずれが発生することが記載されている。

【0013】c) 導伝係数の温特を補正するための電流バイアス回路を必要とする、という点。特公平4-65546号公報（参考文献G）に記載されているように、基板濃度やチャネルドープを変えて作られるデプレッショントランジスタとエンハンスマントトランジスタにおけるスレッシュホールド電圧の差を用い、導伝係数をほぼ等しくすることで基準電圧を作るものもあるが、基板濃度やチャネルドープを変えて作るペアMOSトランジスタは導電係数やその温度特性が異なるため、R.A.Blauschild et al, “A New NMOS Temperature-Stable Voltage Reference” Vol.SC-13, No.6, pp.767-773, Dec.1978.（参考文献F）に記載されているように、導伝係数の温度特性を補正するための電流バイアス回路が必要となる。

【0014】本発明の目的は、上記問題点を解消し、80°C以上の高温でも安定動作し、強反転でも使える電界効果トランジスタを用いた電圧発生回路を実現することである。

【0015】又、本発明の他の目的は、微少電流バイアス回路や導伝係数の温度特性を補正するための電流バイアス回路を用いずに、所望の温度特性の電界効果トランジスタを用いた基準電圧源回路を提供することである。

【0016】さらに詳しくは、請求項1～5に記載の発明は、80°C以上の高温でも安定動作し、弱反転だけではなく強反転でも使用可能な電界効果トランジスタを用いた各種の回路構成を有する電圧発生回路を提供することを、請求項6～8に記載の発明は、抵抗を組み込むことにより、不純物濃度を調整することが可能な電圧発生回路を提供することを、請求項9に記載の発明はその抵抗値を調整可能な手段を設けた電圧発生回路を提供する

ことを、請求項10に記載の発明は、構成要素となる電界効果トランジスタを上記とは異なる導電型の電界効果トランジスタで構成した電圧発生回路を提供することを、それぞれ目的としている。

【0017】

【課題を解決するための手段】上記目的を達成するため、請求項1記載の発明（図6～図16参照）は、一部が同一の導電型で不純物の濃度差の異なるゲートを有する複数の電界効果トランジスタを用いたことを、請求項2記載の発明は、不純物の濃度差を1桁以上としたことを、それぞれ特徴としている。

【0018】また、請求項3記載の発明（図6～図7参照）は、第1の電界効果トランジスタ（M1）と第2の電界効果トランジスタ（M2）のゲートを結線するとともに、第1の電界効果トランジスタ（M1）と第2の電界効果トランジスタ（M2）のソース電圧の差を出力することを特徴としている。

【0019】また、請求項4記載の発明（図8～図11参照）は、第1の電界効果トランジスタ（M1）と第2の電界効果トランジスタ（M2）のソースを結線するとともに、第1の電界効果トランジスタ（M1）と第2の電界効果トランジスタ（M2）のゲート電圧の差を出力することを特徴としている。

【0020】また、請求項5記載の発明（図8～図16参照）は、第1の電界効果トランジスタ（M1）と第2の電界効果トランジスタ（M2）のいずれか一方の電界効果トランジスタのゲート-ソース間電圧を0ボルトにするとともに、他方の電界効果トランジスタのゲート-ソース間電圧を出力することを特徴としている。

【0021】また、請求項7記載の発明（図12(A)参照）は、第2の電界効果トランジスタ（M2）が、ゲートとソースが結線されたデプレッション型の高濃度n型のゲートを有するn型チャネル電界効果トランジスタであり、第1の電界効果トランジスタ（M1）が、第2の電界効果トランジスタ（M2）のソースにドレンが接続された低濃度n型のゲートを有するn型チャネル電界効果トランジスタであり、かつ、直列に接続された第3のn型チャネル電界効果トランジスタ（M3）と抵抗（R）からなり、第3のn型チャネル電界効果トランジスタ（M3）と抵抗（R）の接続点に第1の電界効果トランジスタ（M1）のゲートを接続して第1の電界効果トランジスタ（M1）のゲート電位を与えるソースフォロア回路を有し、その接続点から第1の電界効果トランジスタ（M1）のゲート電位を出力することを特徴としている。

【0022】また、請求項7記載の発明（図13(A)参照）は、直列に接続された第3のn型チャネル電界効果トランジスタ（M3）と第1の抵抗（R1）と第2の抵抗（R2）からなり、第3のn型チャネル電界効果トランジスタ（M3）と第1の抵抗（R1）の接続点に第

1の電界効果トランジスタ（M1）のゲートを接続して第1の電界効果トランジスタ（M1）のゲート電位を与えるソースフォロア回路を有し、第1の抵抗（R1）と第2の抵抗（R2）の接続点の電位を出力とすることを特徴としている。

【0023】また、請求項8記載の発明（図14（A）参照）は、直列に接続された第3のn型チャネル電界効果トランジスタ（M3）と第1の抵抗（R1）と第2の抵抗（R2）からなり、第1の抵抗（R1）と第2の抵抗（R2）の接続点に第1の電界効果トランジスタ（M1）のゲートが接続され第1の電界効果トランジスタ（M1）のゲート電位を与えるソースフォロア回路を有し、第3のn型チャネルMOSトランジスタ（M3）と第1の抵抗（R1）の接続点の電位を出力とすることを特徴としている。

【0024】また、請求項9記載の発明は、製造の際の拡散、成膜工程後に、第1の抵抗（R1）および第2の抵抗（R2）の値をレーザトリミングなどにより調整できるようにしたことを特徴としている。

【0025】また、請求項10記載の発明（図12（B）、13（B）、14（B）参照）は、n型チャネル電界効果トランジスタである第1の電界効果トランジスタ（M1）と第2の電界効果トランジスタ（M2）を、p型チャネル電界効果トランジスタに変更したことを特徴としている。

【0026】請求項12記載の発明は、少なくとも一部が同一導電型で不純物濃度の異なる半導体ゲートを持つ複数の電界効果トランジスタから構成される正の温度係数を有する電圧源回路と、少なくとも一部が異種導電型の半導体ゲートを持つ複数の電界効果トランジスタから構成される負の温度係数を有する電圧源回路を具備することを特徴としている（図18～図28参照）。

【0027】また、請求項13記載の発明は、前記正の温度係数を有する電圧源回路および負の温度係数を有する電圧源回路を、少なくとも一部の導電型または不純物濃度の異なる半導体ゲートを持つ直列に接続された第1～第3の電界効果トランジスタ（M1、M2、M3）により構成したことを特徴としている（図18、図19参照）。さらに、請求項14記載の発明は、高濃度n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタ（M1）と低濃度n型のゲートを持つn型チャネルの第2の電界効果トランジスタ（M2）とp型のゲートのエンハンスメント型でゲートとドレインを結線したn型チャネルの第3の電界効果トランジスタ（M3）とを直列に接続するとともに、第2の電界効果トランジスタ（M2）のゲート電位を与えるソースフォロア回路を設け、第2の電界効果トランジスタのゲート電圧を基準電圧出力点とすることを特徴としている（図18参照）。

【0028】さらに、請求項15記載の発明は、n型の

ゲートのエンハンスメント型でゲートとドレインを結線したp型チャネルの第1の電界効果トランジスタ（M1）と低濃度p型のゲートをもつp型チャネルの第2の電界効果トランジスタ（M2）と高濃度p型のゲートのデプレッション型でゲートとソースを結線したp型チャネルの第3の電界効果トランジスタ（M3）とを直列に接続するとともに、前記第2の電界効果トランジスタ（M2）のゲート電位を与えるソースフォロア回路を設け、第2の電界効果トランジスタ（M2）のゲート電圧を基準電圧出力点とすることを特徴としている（図19参照）。

【0029】また、請求項16記載の発明は、請求項12の構成において、正の温度係数を有する電圧源回路および負の温度係数を有する電圧源回路を、少なくとも一部の導電型または不純物濃度の異なる半導体ゲートをもつ第1～第4の電界効果トランジスタ（M1、M2、M3、M4）により構成したことを特徴としている（図20～図25参照）。

【0030】さらに、請求項17記載の発明は、n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタ（M1）とp型のゲートのn型チャネルの第2の電界効果トランジスタ（M2）とを直列に接続するとともに、該第2の電界効果トランジスタ（M2）のゲート電位を与えるソースフォロア回路を設け、かつ、該ソースフォロア回路によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第3の電界効果トランジスタ（M3）と低濃度n型のゲートのn型チャネルの第4の電界効果トランジスタ（M4）を入力トランジスタとした差動アンプを構成し、第4の電界効果トランジスタ（M4）のゲート電位を基準電圧出力点とすることを特徴としている（図20参照）。

【0031】さらに、請求項18記載の発明は、n型のゲートのp型チャネルの第1の電界効果トランジスタ（M1）とp型のゲートのデプレッション型でゲートとソースを結線したp型チャネルの第2の電界効果トランジスタ（M2）とを直列に接続するとともに、前記第2の電界効果トランジスタ（M2）のゲート電位を与えるソースフォロア回路を設け、かつ、該ソースフォロア回路によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第3の電界効果トランジスタ（M3）と低濃度n型のゲートのn型チャネルの第4の電界効果トランジスタ（M4）を入力トランジスタとした差動アンプを構成し、第4の電界効果トランジスタ（M4）のゲート電位を基準電圧出力点とすることを特徴としている（図21参照）。

【0032】また、請求項19記載の発明は、n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタ（M1）とp型のゲートのn型チャネルの第2の電界効果トランジ

タ（M2）とを直列に接続するとともに、該第2の電界効果トランジスタ（M2）のゲート電位を与えるソースフォロア回路を設け、かつ、該ソースフォロア回路によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第3の電界効果トランジスタ（M3）と低濃度n型のゲートのデプレッション型でゲートとソースをGND電位としたn型チャネルの第4の電界効果トランジスタ（M4）を直列に接続し、前記第3の電界効果トランジスタ（M3）と第4の電界効果トランジスタ（M4）の接続点を基準電圧出力点とすることを特徴としている（図22参照）。

【0033】また、請求項20記載の発明は、n型のゲートのp型チャネルの第1の電界効果トランジスタ（M1）とp型のゲートのデプレッション型でゲートとソースを結線したp型チャネルの第2の電界効果トランジスタ（M2）を直列に接続するとともに、前記第1の電界効果トランジスタ（M1）のゲート電位を与えるソースフォロア回路を設け、かつ、該ソースフォロア回路によりゲート電圧が与えられる低濃度n型のゲートのp型チャネルの第3の電界効果トランジスタ（M3）と高濃度n型のゲートのゲートとドレインを結線したp型チャネルの第4の電界効果トランジスタ（M4）を直列に接続し、第3の電界効果トランジスタ（M3）と第4の電界効果トランジスタ（M4）の接続点を基準電圧出力点とすることを特徴としている（図23参照）。

【0034】また、請求項21記載の発明は、n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタ（M1）とp型のゲートのn型チャネルの第2の電界効果トランジスタ（M2）を直列に接続するとともに、前記第2の電界効果トランジスタ（M2）のゲート電位を与えるソースフォロア回路を設け、かつ、高濃度p型のゲートのデプレッション型でゲートとソースを結線したp型チャネルの第3の電界効果トランジスタ（M3）と前記ソースフォロア回路によりゲート電圧が与えられる低濃度p型のゲートのp型チャネルの第4の電界効果トランジスタ（M4）を直列に接続し、第3の電界効果トランジスタ（M3）と第4の電界効果トランジスタ（M4）の接続点を基準電圧出力点とすることを特徴としている（図24参照）。

【0035】また、請求項22記載の発明は、n型のゲートのp型チャネルの第1の電界効果トランジスタ（M1）とp型のゲートのデプレッション型でゲートとソースを結線したp型チャネルの第2の電界効果トランジスタ（M2）を直列に接続するとともに、前記第1の電界効果トランジスタ（M1）のゲート電位を与えるソースフォロア回路を設け、かつ、該ソースフォロア回路によりゲート電圧が与えられる高濃度n型のゲートのデプレッション型のn型チャネルの第3の電界効果トランジスタ（M3）と低濃度n型のゲートでゲートとソースを結

線したn型チャネルの第4の電界効果トランジスタ（M4）を直列に接続し、第3の電界効果トランジスタ（M3）と第4の電界効果トランジスタ（M4）の接続点を基準電圧出力点とすることを特徴としている（図25参照）。

【0036】また、請求項23記載の発明は、請求項12の構成において、正の温度係数を有する電圧源回路および負の温度係数を有する電圧源回路のうちの、どちらか一方または双方を複数用いて構成したことを特徴としている（図26～28参照）。

【0037】さらに、請求項24記載の発明は、負の温度系数を持つ電圧源回路が、n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタ（M1）とp型のゲートのエンハンスマント型でゲートとドレインを結線したn型チャネルの第2の電界効果トランジスタ（M2）の直列接続構成からなり、正の温度系数を持つ電圧源回路が、前記第2の電界効果トランジスタのドレイン電圧によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第3の電界効果トランジスタ（M3）と低濃度n型のゲートのデプレッション型でゲートとソースをGND電位としたn型チャネルの第4の電界効果トランジスタ（M4）の直列接続構成と、第3の電界効果トランジスタ（M3）と第4の電界効果トランジスタ（M4）の接続点の電圧によりゲート電位が与えられる第5の電界効果トランジスタ（M5）と低濃度n型のゲートのデプレッション型でゲートとソースをGND電位としたn型チャネルの第6の電界効果トランジスタ（M6）の直列接続構成からなり、第5の電界効果トランジスタ（M5）と第6の電界効果トランジスタ（M6）の接続点を基準電圧出力点とすることを特徴としている（図26参照）。

【0038】また、請求項25記載の発明は、負の温度系数を持つ電圧源回路が、n型のゲートのデプレッション型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタ（M1）とp型のゲートのエンハンスマント型でゲートとドレインを結線したn型チャネルの第2および第3の電界効果トランジスタ（M2, M3）の直列接続構成からなり、正の温度系数を持つ電圧源回路が、高濃度n型のゲートのn型チャネルの第4の電界効果トランジスタ（M4）と低濃度n型のゲートのデプレッション型でゲートとソースをGND電位としたn型チャネルの第5の電界効果トランジスタ（M5）の直列接続構成と、前記第4の電界効果トランジスタと第5の電界効果トランジスタの接続点の電圧によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第6の電界効果トランジスタ（M6）と低濃度n型のゲートのデプレッション型でゲートとソースをGND電位としたn型チャネルの第7の電界効果トランジスタ（M7）の直列接続構成からなり、第6の電界効果トランジ

スタ(M6)と第7の電界効果トランジスタ(M7)の接続点を基準電圧出力点とすることを特徴としている(図27参照)。

【0039】請求項26記載の発明は、請求項12の構成において、正の温度係数を有する電圧源回路と負の温度係数を有する電圧源回路を構成する電界効果トランジスタが、少なくとも一部の導電型または不純物濃度の異なるゲートを持ちチャネルドープを使わないことを特徴としている(図28参照)。

【0040】請求項27に記載の本発明の基準電圧源回路は、さらに、負の温度系数を有する電圧源回路が、n型のゲートのエンハンスメント型でゲートとソースを結線したn型チャネルの第1の電界効果トランジスタ(M1)とp型のゲートのエンハンスメント型でゲートとドレインを結線したn型チャネルの第2の電界効果トランジスタ(M2)の直列接続構成からなり、正の温度系数を持つ電圧源回路が、高濃度n型のゲートのn型チャネルの第3の電界効果トランジスタ(M3)と低濃度n型のゲートのエンハンスメント型でゲートとソースGND電位としたn型チャネルの第4の電界効果トランジスタ(M4)の直列接続構成と、第3の電界効果トランジスタ(M3)と第4の電界効果トランジスタ(M4)の接続点の電圧によりゲート電位が与えられる高濃度n型のゲートのn型チャネルの第5の電界効果トランジスタ(M5)と低濃度n型のゲートのエンハンスメント型でゲートとソースをGND電位としたn型チャネルの第6の電界効果トランジスタ(M6)の直列接続構成からなり、第5の電界効果トランジスタ(M5)と第6の電界効果トランジスタ(M6)の接続点を基準電圧出力点とすることを特徴としている(図28参照)。

【0041】又、本発明では、前記少なくとも一部の電界効果トランジスタのドレイン電流を等しくした。この結果、以下に説明するようにVPTAT、VPNが得られる。

【0042】又、各ゲートは単結晶シリコンよりもよいにしてもよい。この結果、後述するようにゲートの不純物濃度のみで決まるVPTATが得られる。

【0043】或いは、各ゲートは多結晶シリコンよりも、その多結晶シリコンのダングリングボンドの略98%以上がターミネートされているようにする。その結果、単結晶シリコンの場合同様、ゲートの不純物濃度のみで決まるVPTATが得られる。

【0044】或いは、各ゲートは多結晶Si_xGe_{1-x}よりも、Si_xGe_{1-x}の構成比が略0.01 < x < 0.5

の範囲に入っているようにする。この場合にも、単結晶シリコンの場合同様、ゲートの不純物濃度のみで決まるVPTATが得られる。

【0045】

【発明の実施の形態】まず本発明の概要を述べる。

【0046】本発明は、強反転でも使える電界効果トランジスタを用いたCMOSプロセスでのProportional-T₀-Absolute-Temperature (PTAT) 電圧源の実現するものである。

【0047】MOSトランジスタによるPTAT回路としては弱反転領域を用いたものが知られている。しかし、弱反転領域に保つための2nA以下の微小電流を流すバイアス回路が必要な上、寄生ダイオードの影響によりリーク電流による特性のずれが生じるため80°C以上では実用化できない。そこで、本発明は、フェルミレベルの異なるゲートを有し、強反転でも使えるペアMOSトランジスタを用いたPTAT回路を提案するものである。

【0048】低濃度(Ng1)のn型ゲートと高濃度(Ng2)のn型ゲートを有するペアトランジスタM1、M2のスレッシュホールド電圧(Vt)の差は、キャリア濃度が不純物濃度に等しい場合VPTAT=kt/qln(Ng2/Ng1)となり、絶対温度に比例する電圧源となる。例えば、アナログCMOSプロセスで用いている低抵抗ゲート(20Ω/sq; リン濃度約1×10¹⁹/cm³)、高抵抗ゲート(10KΩ/sq; リン濃度約2×10¹⁶/cm³)をPTAT回路に用いることにより、VPTAT=0.221V(室温)のPTAT電圧源を実現できる。

【0049】本発明の実施例を説明する前に、まず、本発明の原理を説明する。本発明は、80度以上でリークのため安定動作できない弱反転領域の代わりに、強反転領域でも使える電界効果トランジスタ(以下の実施例ではMOSトランジスタで説明)を用いたPTATを提案し、それを利用して電圧発生回路を実現したものである。

【0050】Ong(ed.) "Modern MOS Technology" McGrawHill 1987(参考文献F)の第46頁の記載によれば、MOSトランジスタを強反転させるためのスレッシュホールド電圧Vtは、

$$V_t = \Phi_{MS} - Q_f/C_{ox} + 2\phi_f - Q_b/C_{ox}$$

で表わされる。ここで、 Φ_{MS} はゲートの仕事関数 ϕ_M と基板の仕事関数 ϕ_S の差、Qfは酸化膜中の固定電荷、 ϕ_f は基板のフェルミレベル、Qbは反転層と基板間の空乏層内電荷、Coxは酸化膜の単位面積当たりの静電容量である。

【0051】図4は、MOSトランジスタのバンド図である。さらに、

$$\phi_M = \phi_S + E_g / 2 \pm \phi_f$$

ϕ_M の第3項 ϕ_f の符号はゲートがp型なら正、n型なら負である。同じ導電型の半導体で低濃度(Ng1)と高濃度(Ng2)のゲートを持つペアトランジスタのスレッシュホールド電圧Vtの差は、ゲート材の仕事関数 ϕ_M の差に等しく、さらに、同じ導電型の半導体同士であるので、フェルミレベル ϕ_f の差となり、キャリア濃度が不純物濃度に等しい場合(2)が成立する。

$$\begin{aligned}
 V_{t1}-V_{t2} &= \phi_m(Ng1)-\phi_m(Ng2) \\
 &= [Eg/2-\phi_f(Ng1)]-[Eg/2-\phi_f(Ng2)] \\
 &= \phi_f(Ng2)-\phi_f(Ng1) \\
 &= -kT/q \ln(Ng1/Ni) + kT/q \ln(Ng2/Ni) \\
 &= kT/q \ln(Ng2/Ng1) \quad (2)
 \end{aligned}$$

ここで、 k はボルツマン常数、 q は電子の電荷量、 T は絶対温度、 Eg はシリコンのバンドギャップ、 Ni は真性半導体のキャリア濃度である。従って、

$$VPTAT = (kT/q) \ln(Ng2/Ng1)$$

となり、ゲートの不純物の濃度比のみで定まるVPTATが得られる。例えば、図5に示すように、リン濃度約 $1 \times 10^{20}/cm^3$ の高濃度n+ゲート、リン濃度約 $2 \times 10^{16}/cm^3$ の低濃度n+ゲートを用いると、VPTAT=0.221V(室温)が得られる。プロセスばらつきにより、高濃度n+ゲートのリン濃度が1割低くなり約 $9 \times 10^{19}/cm^3$ 、低濃度n+ゲートのリン濃度が1割高くなり約 $2.2 \times 10^{16}/cm^3$ になった場合、VPTAT=0.216V(室温)が得られ、逆に高濃度n+ゲートのリン濃度が1割高くなり約 $1.1 \times 10^{20}/cm^3$ 、低濃度n+ゲートのリン濃度が1割低くなり約 $1.8 \times 10^{16}/cm^3$ になった場合、VPTAT=0.227V(室温)が得られる。このように、プロセスばらつきによって、ペアトランジスタのゲートのリン濃度Ng1 Ng2が1割変動しても、VPTATの変動は数mV程度である。

【0052】このような、リン濃度の異なるゲートを作成する方法としては、ノンドープゲートをデポジットした後、低濃度ゲートにしたい部分を酸化膜でマスキングし、それからリンのデポジットによってマスキングしていない部分を高濃度ドープし、低濃度部分は、マスク酸化膜をエッチングした後イオン注入でリンを低濃度ドープすればよい。こうして、同一導電型でフェルミレベル ϕ_f の異なるゲートを持つペアトランジスタが作成できる。ゲートへのドーピング以外は同じ工程で作られるため、同じ絶縁膜厚、チャネルドープ、チャネル長、チャネル幅を有し、不純物濃度だけが異なり、スレッシュホールド電圧 V_t の差がゲートのフェルミレベル ϕ_f の差となる。

【0053】次に、フェルミレベル ϕ_f の差を取り出す方法について説明する。

【0054】飽和領域($VDS > VGS - V_t$)にあるMOSトランジスタのドレイン電流 I_d は、

$$I_d = (\beta/2) (VGS - V_t)^2$$

で表わされる。

【0055】従って、ゲートの濃度が異なるペアMOSトランジスタM1, M2のドレイン電流 I_{d1} , I_{d2} は、
 $I_{d1} = (\beta_1/2) (VGS1 - VT1)^2$

$$I_{d2} = (\beta_2/2) (VGS2 - VT2)^2$$

である。

【0056】ここで、 $VGS1$ と $VGS2$, $VT1$ と $VT2$ は、それぞれMOSトランジスタM1とM2のゲート-ソース間電圧、スレッシュホールド電圧である。また、 β_1 ,

β_2 は、それぞれMOSトランジスタM1, M2の導電係数であり、

$$\beta = \mu (\epsilon_{OX}/TOX) (Weff/Leff)$$

の形で表わされる。ここで、 μ ；キャリア易動度、 ϵ_{OX} ；酸化膜の誘電率、 TOX ；酸化膜厚、 $Weff$ ；実効チャネル幅、 $Leff$ ；実効チャネル長である。

【0057】ペアMOSトランジスタは、キャリア移動度 μ 、酸化膜の誘電率 ϵ_{OX} 、酸化膜厚 TOX 、実効チャネル幅 $Weff$ 、実効チャネル長 $Leff$ が等しいので $\beta_1 = \beta_2$ となって、 $I_{d1} = I_{d2}$ とすることで、 $(\beta/2)$ の項が落ち、

$$(VGS1 - VT1)^2 = (VGS2 - VT2)^2$$

となる。VGSを適切にバイアスし、スレッシュホールド電圧 V_t の差すなわち ϕ_f の差を取り出す。

【0058】以上、キャリア濃度 n が不純物濃度 N_g に等しい場合を例にPTAT電圧源の原理を述べてきたが、現実的には必ずしもこれらは一致しない場合が多い。そこで、そのような場合について以下に説明する。

【0059】まずゲートが単結晶の場合について述べる。その場合、キャリア濃度は、

$$n = A \times N_g$$

と表される。ここで A は活性化率であり、1以下の定数である。 A は絶対温度の影響を受けないので、上記式(2)は

$$Vt1 - Vt2 = kT/q \ln(A_2 \times Ng2) / (A_1 \times Ng1)$$

となり、ゲートの不純物濃度の濃度比のみで定まるVPTATが得られる。

【0060】次にゲートが多結晶シリコン(ポリシリコン)の場合について述べる。この場合、キャリア濃度 n は

$$n = A \times N_g - B$$

と表される。ここで A は活性化率、 B は、 $B \propto (1/T)$ のように、絶対温度の逆数に比例する値である。したがって、式(2)は、

$$Vt1 - Vt2 = kT/q \ln(A_2 \times Ng2 - B_2) / (A_1 \times Ng1 - B_1)$$

となり、ゲートの不純物濃度比のみで定まるVPTATは得られない。

【0061】このBの値はダングリングボンドの量に左右される値である。そこで、ポリシリコンを使用してVPTATを得るために、 $Vt1 - Vt2$ の値がダングリングボンドの量に左右されないように、ダングリングボンドを水素などでターミネートする必要がある。そのようにすることによって、実効的に上記式中の B_1 、 B_2 の項を無視できる程に充分小さくする。この結果、VPTATが得られる。

【0062】具体的には、水素やフッ素で98%以上のダングリングボンドがターミネートされていなければならない。図29に示す実線は水素等によるターミネートがなされていない場合を、破線は98%以上のダングリングボンドがターミネートされている場合を示す。破線

では不純物濃度による急峻な変化が見られないことから、ダングリングボンドがほとんど無い状態であることが見て取れる。

【0063】ここでダングリングボンドについて補足すると、ダングリングボンド量はESR (Electron Spin Resonance)によって測定することができる。通常は強制的な水素等によるターミネートを行わずとも、高濃度の不純物を注入し、高温 ($2 \times 10^{-9} / \text{cm}^3$, 1000 °C) で処理することによって、96%程度までダングリングボンドがターミネートされ、温度特性はほとんど無くなる。しかしながら、同じ濃度でも 900 °C の処理では、93%しかターミネートされず、大きな温度特性係数を持つことになる。

【0064】したがって、予め水素等で 98% 以上ターミネートしておくことによって、温度特性のほとんど無い良好なポリシリコンが得られる。

【0065】次にゲートが多結晶 Si_xGe_{1-x} の場合の例について述べる。多結晶 Si_xGe_{1-x} はポリシリコンの場合と異なり、不純物の活性化率が非常に高いため、ダングリングボンドの影響が少ない。したがってキャリア濃度 n は

$$n = A \times N_g$$

と表され、単結晶の場合と同じように VPTAT が得られる。

【0066】なお、この場合、Ge の含有量が多くなるとバンドギャップが小さくなり、大きな VPTAT を得るために不利となる。プロセスバラツキを考慮して望ましい $VPTA > 0.2$ (V) を得るために、Si_xGe_{1-x} の構成比の範囲は、

$$0.01 < x < 0.5$$

に入っていることが望ましい。

【0067】なお、以下に説明する各実施例では、ゲートをポリシリコンとする旨記載するが、このような構成に限られず、上述の如く、単結晶シリコンでも良いし、ポリシリコンにする場合にはそのダングリングボンドの 98% 以上が水素等でターミネートされているものとし、或いは多結晶 Si_xGe_{1-x} の場合にはその構成比が $0.01 < x < 0.5$ の範囲に入っているものとする。

【0068】以下、図面を用いて、本発明に係る PTA T を用いた電圧発生回路の具体例として、ペア MOS ドラジスタのスレッシュホールド電圧 V_t の差すなわち ΔV_t の差を取り出すための具体的な回路構成の実施例を説明する。なお、図中、三角で囲った MOS ドラジスタ M1 のゲートは低濃度 (Ng1) の n 型ポリシリコンである。MOS ドラジスタ M2 は、高濃度 (Ng2) の n 型ポリシリコンゲートを持つ MOS ドラジスタである。また、以下の各回路構成例において、MOS ドラジスタ M1 と M2 は、同じ絶縁膜厚、チャネルドープ、チャネル長、チャネル幅を有し、不純物濃度だけが異なる MO

S ドラジスタであるとする。

【0069】まず、ゲート結線したペア MOS ドラジスタを用いる回路構成例について述べる。この場合、VPTAT はペア MOS ドラジスタのソース電圧の差として取り出される。

【0070】最初に MOS ドラジスタ M1 と M2 を並列接続した回路構成例について述べる。

【0071】図 6 は、本回路構成例の基本的なダイアグラムを示す図である（第一実施例）。同図に示すように、本回路は、2 つの電源の間すなわち電源 VCC と GND の間に、低濃度 (Ng1) の n 型ポリシリコンをゲートに有する MOS ドラジスタ M1 と高濃度 (Ng2) の n 型ポリシリコンゲートを持つ MOS ドラジスタ M2 のゲートを共通接続し、低濃度 (Ng1) の n 型ポリシリコンをゲートに有する MOS ドラジスタ M1 のドレインとゲートを接続して設け、それらの MOS ドラジスタ M1, M2 の導電係数 β を揃え、ドレイン-ソース間電流を等しくする ($I_1 = I_2$)。

【0072】この構成によって、高濃度 (Ng2) の n 型ポリシリコンゲートを持つ MOS ドラジスタ M2 のソース電位（すなわち、低濃度 (Ng1) の n 型ポリシリコンをゲートに有する MOS ドラジスタ M1 と高濃度 (Ng2) の n 型ポリシリコンゲートを持つ MOS ドラジスタ M2 のソース電位の差）が $VPTAT = U_{t1} \ln(Ng2/Ng1)$ として取り出される。

【0073】次に、MOS ドラジスタ M1 と M2 を直列接続した回路構成例について述べる。図 7 は、本回路構成例の基本的なダイアグラムを示す図である（第 2 実施例）。同図に示すように、本回路は、2 つの電源の間すなわち電源 VCC と GND の間に、低濃度 (Ng1) の n 型ポリシリコンをゲートに有する MOS ドラジスタ M1 と高濃度 (Ng2) の n 型ポリシリコンをゲートに有する MOS ドラジスタ M2 を直列接続するとともに、それらのゲートを共通接続して MOS ドラジスタ M2 のドレインと接続する。

【0074】この構成によって、MOS ドラジスタ M2 のソース電位（すなわち、MOS ドラジスタ M1 のソース電位は GND であるので、MOS ドラジスタ M2 のソース電位は、低濃度 (Ng1) の n 型ポリシリコンをゲートに有する MOS ドラジスタ M1 と高濃度 (Ng2) の n 型ポリシリコンをゲートに有する MOS ドラジスタ M2 のソース電位の差に等しい）から出力 VPTAT として、フェルミレベルの差である $U_{t1} \ln(Ng2/Ng1)$ が得られる。

【0075】次にソース結線したペア MOS ドラジスタを用いる回路構成例について述べる。この場合、VPTAT はペア MOS ドラジスタのゲート電圧の差として取り出される。

【0076】図 8 は、本回路構成例の基本的なダイアグラムを示す図である（第 3 実施例）。同図に示すよう

に、本回路は、2つの電源の間すなわち電源VCCとGNDの間に設けられた、低濃度(Ng1)のn型ポリシリコンをゲートに有するMOSトランジスタM1、高濃度(Ng2)のn型ポリシリコンゲートを持つMOSトランジスタM2、p型チャネルMOSトランジスタM3およびM4、n型チャネルMOSトランジスタM5から構成されている。低濃度(Ng1)のn型ポリシリコンをゲートに有するMOSトランジスタM1と高濃度(Ng2)のn型ポリシリコンゲートを持つMOSトランジスタM2のソースは共通接続されている。

【0077】具体的には、p型チャネルMOSトランジスタM3、M4でカレントミラー回路を構成し、p型チャネルMOSトランジスタM3と高濃度(Ng2)のn型ポリシリコンゲートを持つn型チャネルMOSトランジスタM2を直列接続するとともに、該n型チャネルMOSトランジスタM2のゲートとソースを結線(定電流結線)し、p型チャネルMOSトランジスタM4と低濃度(Ng1)のn型ポリシリコンゲートを持つn型チャネルMOSトランジスタM1を直列接続している。p型チャネルMOSトランジスタM3、M4のカレントミラー機能により、高濃度(Ng2)のn型チャネルMOSトランジスタM2には定電流結線したデプレッショントランジスタM1と同じ電流が流れ。

【0078】また、電源VCCにドレンを、n型チャネルMOSトランジスタM1のドレンにゲートを、n型チャネルMOSトランジスタM1のゲートにソースを、それぞれ接続したn型チャネルMOSトランジスタM5を設ける。ソースフォロアのn型チャネルMOSトランジスタM5はn型チャネルMOSトランジスタM1のゲートを $I_{d1} = I_{d2}$ となるようバイアスする。この構成により、n型チャネルMOSトランジスタM1のゲート電位(n型チャネルMOSトランジスタM5のソース電位)がVPTATとなる。このVPTATはフェルミレベルの差 $U_t \ln(Ng2/Ng1)$ に等しい。

【0079】また、図8の回路構成の変形例として、図9の如き回路構成も可能である(第3実施例の第1変形例)。図9に示す回路構成は、図8の低濃度(Ng1)のn型ポリシリコンをゲートに有するMOSトランジスタM1のゲートと電源GNDの間の抵抗Rを、抵抗R1とR2とで構成し、その接続点から、出力電圧VPTATを取り出す。このとき、出力電圧VPTAT= $(R2/(R1+R2)) U_t \ln(Ng2/Ng1)$ となる。

【0080】さらに、図8の回路構成の変形例として、図10の如き回路構成も可能である(第3実施例の第2変形例)。図10に示す回路構成は、図8の低濃度(Ng1)のn型ポリシリコンをゲートに有するMOSトランジスタM1のゲートと電源GNDの間の抵抗RをR2とともに、MOSトランジスタM1のゲートとn型チャネルMOSトランジスタM5のソースの間に抵抗R1を挿入し、n型チャネルMOSトランジスタM5のソ

スから、出力電圧VPTATを取り出す。このときの出力電圧VPTATは、 $((R1+R2)/R2) U_t \ln(Ng2/Ng1)$ となる。また、図8の回路構成の変形例として、図11の如き回路構成も可能である(第3実施例の第3変形例)。図11に示す回路構成は、図8の低濃度(Ng1)のn型ポリシリコンをゲートに有するMOSトランジスタM1のゲート-ソース間の抵抗Rに流れる電流バスにp型チャネルMOSトランジスタM6、M7からなるカレントミラー回路を追加し、p型チャネルMOSトランジスタM7のソースから、出力電圧VPTATを取り出す。このとき、出力電圧VPTAT= $M U_t \ln(Ng2/Ng1)$ となる。ここで、式中の“M”はカレントミラー機能の比率である。

【0081】上述した図9、10、11に示したように、図8の回路に変形を加えることにより、図8の出力電圧 $U_t \ln(Ng2/Ng1)$ に抵抗比または電流比(カレントミラー機能の比率)を乗算した出力電圧を得ることができるようになり、プロセスファクタである濃度比(Ng2/Ng1)を、これら抵抗比や電流比を変えることによって任意に補正することができる。プロセスに依存しないVPTATを得るために、上記抵抗値R1、R2を調整してプロセスファクタである濃度比を補正すればよい。そのために、拡散、成膜工程後に、レーザ光を選択的に抵抗部に照射しトリミングするトリミング手段(抵抗値調整手段)を用いることができる。

【0082】図30は、このトリミング手段の一例を示す。図中、抵抗素子rの直列回路に対して、任意の×印の部分をレーザ光で焼き切ることによって所望の抵抗値(抵抗値rの倍数)を得ることが出来る。このような手段を利用することによって上記抵抗R1、R2の抵抗値を調整することが可能である。

【0083】次に、定電流結線したデプレッショントランジスタM2と同じ電流を流すMOSトランジスタM1を用いる回路構成例(第4実施例)について説明する。この場合の出力VPTATはMOSトランジスタM1のゲート-ソース間電圧VGSとなる。

【0084】図12(A)は、本回路構成例(第4実施例)の基本的なダイアグラムを示す図である。同図に示すように、本回路は、2つの電源の間すなわち電源VCCとGNDの間に、高濃度(Ng2)のn型ポリシリコンゲートを持つデプレッショントランジスタM2と低濃度(Ng1)のn型ポリシリコンをゲートに有するデプレッショントランジスタM1を直列に接続するとともに、デプレッショントランジスタM2のゲートとソースを結線する(定電流結線: VGS2=0)。

【0085】また、このデプレッショントランジスタM2のゲートとソースの結線部にゲートを、電源VCCにドレンを、デプレッショントランジスタM1のゲートにゲートを、それぞれ接続したn型チャネルMOSトランジスタM3を設けている。

【0086】この構成において、デプレッショントランジスタM1のゲート（n型チャネルMOSトランジスタM3のソース）の電圧がVPTATとなる。このときのVPTATは、デプレッショントランジスタM1のゲート-ソース間電圧VGS1に等しく、フェルミレベルの差 $U_t \ln(Ng2/Ng1)$ となる。なお、図12(A)の回路構成例は、MOSトランジスタM1をデプレッショントランジスタで構成した場合を示しているが、MOSトランジスタM1はエンハンスマント型であってもよい。

【0087】また、図12(A)の回路構成の変形例として、図13(A)の如き回路構成も可能である（第4実施例の第1変形例）。図13(A)に示す回路構成は、図12(A)の低濃度(Ng1)のn型ポリシリコンをゲートに有するMOSトランジスタM1のゲートと電源GNDの間の抵抗Rを、抵抗R1とR2とて構成し、その接続点から、出力電圧VPTATを取り出す。このときの出力電圧VPTATは、 $(R2/(R1+R2))U_t \ln(Ng2/Ng1)$ となる。

【0088】さらに、図12(A)の回路構成の変形例として、図14(A)の如き回路構成も可能である（第4実施例の第2変形例）。図14(A)に示す回路構成は、図12(A)の低濃度(Ng1)のn型ポリシリコンをゲートに有するMOSトランジスタM1のゲートと電源GNDの間の抵抗をR2とともに、MOSトランジスタM1のゲートとn型チャネルMOSトランジスタM3のソースの間に抵抗R1を挿入し、n型チャネルMOSトランジスタM3のソースから、出力電圧VPTATを取り出す。このときの出力電圧VPTATは、 $((R1+R2)/R2)U_t \ln(Ng2/Ng1)$ となる。

【0089】また、図12(A)の回路構成の変形例として、図15の如き回路構成も可能である（第4実施例の第3変形例）。図15に示す回路構成は、図12(A)の低濃度(Ng1)のn型ポリシリコンをゲートに有するMOSトランジスタM1のゲート-ソース間の抵抗Rに流れる電流バスにp型チャネルMOSトランジスタM6, M7からなるカレントミラー回路を追加し、p型チャネルMOSトランジスタM7のソースから、出力電圧VPTATを取り出す。このとき、出力電圧VPTAT= $MU_t \ln(Ng2/Ng1)$ となる。ここで、式中の“M”はカレントミラーモードの比率である。

【0090】上述した図13(A), 14(A), 15に示したように、図12(A)の回路に変形を加えることにより、図12(A)の出力電圧 $U_t \ln(Ng2/Ng1)$ に抵抗比または電流比（カレントミラーモードの比率M）を乗算した出力電圧を得ることができるようになり、プロセスファクタである濃度比 $(Ng2/Ng1)$ を、これら抵抗比や電流比を変えることによって任意に補正することができる。プロセスに依存しないVPTATを得るために、上記抵抗値R1, R2を調整してプロセスファクタである濃度比を補正すればよい。そのために、上記の如

く（図30参照）、拡散、成膜工程後に、レーザ光を選択的に抵抗部に照射しトリミングするトリミング手段（抵抗値調整手段）を用いることができる。

【0091】次に、低濃度(Ng1)のn型ポリシリコンをゲートに有するMOSトランジスタM1と高濃度(Ng2)のn型ポリシリコンゲートを持つMOSトランジスタM2にフェルミレベルの差だけ異なるゲート電圧を加え、ゲートコンダクタンスを等しくする回路構成例（第5実施例）について説明する。

【0092】図16は、本回路構成例（第5実施例）の基本的なダイアグラムを示す図である。同図に示すように、本回路は、2つの電源の間のn型ポリシリコンをゲートに有するMOSトランジスタM1と高濃度(Ng2)のn型ポリシリコンゲートを持つMOSトランジスタM2を並列に設け、MOSトランジスタM1とMOSトランジスタM2のドレインの電位を差動アンプA1に入力するとともに、差動アンプA1の出力を抵抗R2を介してMOSトランジスタM2のゲートにフィードバックし、また、電源VCCとMOSトランジスタM2のゲート間に抵抗R1を設けている。

【0093】本構成において、MOSトランジスタM1のゲートには電圧VCCが、MOSトランジスタM2のゲートには抵抗R1によって電圧降下した分だけVCCより低い電圧が加えられ、ゲートコンダクタンスが等しくなる。このMOSトランジスタM2のゲートに加えられる電圧は、VCCを基準として $VPTAT = U_t \ln(Ng2/Ng1)$ となり、また、差動アンプA1の出力は、VCCを基準として $VOUT = (R2/R1)U_t \ln(Ng2/Ng1)$ となる（図16参照）。

【0094】上述した各実施例は、MOSトランジスタM1, M2としてn型チャネルMOSトランジスタを用いた例であるが、p型チャネルMOSトランジスタを用いても同様な回路を実現できる。その場合は、上記各実施例に用いられている各MOSトランジスタのチャネルタイプ（n型チャネル/p型チャネル）を逆にするとともに、電源電圧を高電圧側と低電圧側を逆にすればよい（図12(B), 13(B), 14(B)参照）。

【0095】次に上記「電界効果トランジスタを用いた電圧発生回路」の技術を利用して実現する基準電圧源について説明する。

【0096】従来のMOSによる基準電圧源としては、基板やチャネルドープの濃度を変えることにより作ったデプレッショントランジスタとエンハンスマントトランジスタのスレッシュホールド電圧の差を用いるものが知られている。しかし、基板やチャネルドープの濃度の異なるトランジスタは、導電係数およびその温度特性が異なり所望の温度特性を持つ基準電圧源を実現するのは難しい。

【0097】そこで、本発明では、基板やチャネルドー

アの濃度を各ペア間で等しくし、同一導電型で不純物濃度の異なる半導体ゲートを持つペアMOSトランジスタによる正の温度係数をもつVPTAT電圧源と、異種導電型の半導体ゲートを持つペアMOSトランジスタによる負の温度係数を持つVPN電圧源を組み合わせることにより所望の基準電圧 $V_{REF} = VPN + VPTAT$ を生成するようにしたものである。

【0098】本発明によれば、PTAT電圧源は、80°C以上でリークのため安定動作できない弱反転領域の代わりに共反転領域でも使用可能な電界効果トランジスタを利用し（以下の実施例ではMOSトランジスタの例で説明する）、基準電圧源を実現する。

【0099】上記の如く、キャリア移動度 μ 、酸化膜の誘電率 ϵ_{OX} 、酸化膜厚 T_{OX} 、実効チャネル幅 W_{eff} 、実効チャネル長 L_{eff} が等しいペアMOSトランジスタでは $\beta_1 = \beta_2$ となり、 $I_{d1} = I_{d2}$ とすることで、 $(V_{GS1} - VT_1)^2 = (V_{GS2} - VT_2)^2$ となる。したがって V_{GS} を適切にバイアスし、スレッシュホールド電圧 V_t の差すなわちフェルミレベル ϕ_f の差を取り出すことが出来る。

【0100】上述したように、同一導電型で不純物濃度の異なるゲートを持つペアMOSトランジスタのスレッシュホールド電圧の差は、ゲート材のフェルミレベルの差となり、

$$VPTAT = (kT/q) \ln(Ng2/Ni) - (kT/q) \ln(Ng1/Ni) = (kT/q) \ln(Ng2/Ng1)$$

ここで、 k はボルツマン常数、 T は絶対温度、 q は電子の電荷量、 Ni は真性半導体のキャリア数、 $Ng2$ は高濃度ゲートの不純物濃度、 $Ng1$ は低濃度ゲートの不純物濃度であり、このペアトランジスタのスレッシュホールド電圧の差を取り出すことにより、正の温度係数を持つ電圧源VPTATを作ることができる。

【0101】また同様に、異導電型で不純物濃度の異なるゲートを持つペアトランジスタのスレッシュホールド電圧の差は、ゲート材のフェルミレベルの和となり、

$$VPN = (kT/q) \ln(Ng2/Ni) + (kT/q) \ln(Pg2/Ni) = (kT/q) \ln(Ng2 * Pg2/Ni^2)$$

であり、このペアトランジスタのスレッシュホールド電圧の差を取り出すことにより、負の温度係数を持つ電圧源VPNを作ることができる。

【0102】参考文献Dに記載されているように、同一の形状とチャネルドープを持ち、ポリシリコンゲートが高濃度のp型と高濃度のn型であるペアMOSトランジスタのVPNは、シリコンのバンドギャップ電圧 ΔV_G (1.2V at T=0, 1.12V at T=room temperature)であり、また、これらのペアトランジスタのスレッシュホールド電圧の差で与えられる。ドレイン電流とゲート-ソース電位差曲線のシフトは、スレッシュホールド以下の弱反転や遷移領域でも成り立つ。

【0103】本発明は、上述した如き正の温度係数を持

つ電圧源VPTATと負の温度係数を持つ電圧源VPNを組み合わせた簡便な回路によって、所望の温度特性を持つ基準電圧源回路を実現するものである。

【0104】以下、図面を用いて本発明に係る基準電圧源回路の各種回路構成例を説明する。図17は、ゲートの不純物と濃度とスレッシュホールド電圧の関係を示す図である。図17において、NHは高濃度n型のゲート(Ng2)、NLは低濃度n型のゲート(Ng1)、PHは高濃度p型のゲート(Pg2)、PLは低濃度p型のゲート(Pg1)である。

【0105】また、以下に実施例を説明するために用いる回路図において、丸で囲ったトランジスタは高濃度p型ゲートを有する電界効果トランジスタを、図中で四角で囲ったトランジスタは低濃度p型ゲートを有する電界効果トランジスタを、図中で三角で囲った電界効果トランジスタは低濃度n型ゲートを有する電界効果トランジスタを、それぞれ示している。

【0106】図18は、本発明の第6実施例を説明するための図である。同図において、電界効果トランジスタM1, M2, M3は全てn型チャネルであり、基板やチャネルドープの不純物濃度は等しく、n型基板のpウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。チャネル幅Wとチャネル長Lの比S=W/Lは全て等しい。すなわち、 $S_{M1}=S_{M2}=S_{M3}$ である。ただし、 S_{M1} は、電界効果トランジスタM1のチャネル幅Wとチャネル長Lの比Sを表している（以下同様）。

【0107】電界効果トランジスタM1は、高濃度n型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。電界効果トランジスタM2は低濃度n型のゲートを持ち、n型チャネルの電界効果トランジスタM4と抵抗R1からなるソースフォロア回路によりゲート電位が与えられる。電界効果トランジスタM3は、p型のゲートのエンハンスマント型でゲートとドレインを結線している。

【0108】ペア電界効果トランジスタM1とM3は、同一の電流が流れるため、電界効果トランジスタM3のゲート-ソース間電圧、すなわち V_2 はVPNとなる。また、ペア電界効果トランジスタM1とM2は、ソースフォロア回路により同一の電流が流れるようバイアスされ、電界効果トランジスタM2のゲート-ソース間電圧はVPTATとなる。

【0109】従って、電界効果トランジスタM2のゲート電位 V_3 は、

$$V_3 = VPN + VPTAT (= V_{ref} : 基準電圧)$$

となる。所望の温度特性は、高濃度n型のゲート、低濃度n型のゲート、p型のゲートの不純物濃度を変えることにより任意に設定可能である。

【0110】図19は本発明の第7実施例を説明するための図である。同図において、電界効果トランジスタM

1, M2, M3が全てp型チャネルであり、基板やチャネルドープの不純物濃度は等しく、p型基板のnウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。チャネル幅Wとチャネル長Lの比S=W/Lは全て等しい。すなわち、S_{m1}=S_{m2}=S_{m3}である。

【0111】電界効果トランジスタM1は、高濃度n型のゲートのエンハンスマント型でゲートとドレインを結線している。電界効果トランジスタM2は低濃度p型のゲートを持ち、p型チャネルの電界効果トランジスタM4と抵抗R1（図の抵抗R2がなく短絡された場合）からなるソースフォロア回路によりゲート電位が与えられる。電界効果トランジスタM3は、p型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。

【0112】ペア電界効果トランジスタM1とM3は、同一の電流が流れるため、電界効果トランジスタM1のゲート-ソース間電圧、すなわち（VCC-V1）はVPNとなる。また、ペア電界効果トランジスタM1とM2は、ソースフォロア回路により同一の電流が流れるようバイアスされ、電界効果トランジスタM2のゲート-ソース間電圧、すなわち（V1-V3）はVPTATとなる。

【0113】従って、電源電圧VCCと電界効果トランジスタM2のゲート電位V3の差（VCC-V3）は、 $VCC - V3 = VPN + VPTAT (= Vref1 : 基準電圧1)$ となる。

【0114】所望の温度特性は、高濃度n型のゲート、低濃度n型のゲート、p型のゲートの不純物濃度を変えることにより任意に設定できる。さらに、ソースフォロア回路に図19に示す位置に抵抗R2を挿入すると、 $V4 = (VPN + VPTAT) * R2 / R1 (= Vref2 : 基準電圧2)$ となり、設定電圧を抵抗比によっても設定可能なGND基準の基準電圧源が実現できる。

【0115】図20は本発明の第8実施例を説明するための図である。同図において、電界効果トランジスタM1, M2, M3, M4が全てn型チャネルであり、基板やチャネルドープの不純物濃度は等しく、n型基板のpウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。チャネル幅Wとチャネル長Lの比S=W/Lは、S_{m1}=S_{m2}, S_{m3}=S_{m4}である。

【0116】電界効果トランジスタM1は、高濃度n型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。電界効果トランジスタM2は高濃度p型のゲートを持ち、n型チャネルの電界効果トランジスタM5と抵抗R1, R2からなるソースフォロア回路によりゲート電位が与えられる。電界効果トランジスタM3は高濃度n型のゲートの電界効果トランジスタ、電界効果トランジスタM4は低濃度n型のゲートの電界効果トランジスタである。

【0117】ペア電界効果トランジスタM1とM2は、同一の電流が流れるため、電界効果トランジスタM2のゲート-ソース間電圧V2はVPNとなる。また、ペア電界効果トランジスタM3とM4は、差動増幅器の入力トランジスタでありp型チャネルMOSトランジスタM6とM7のカレントミラー回路により同一の電流が流れれる。よって、この差動増幅器はVPTATの入力オフセットを持つ。電界効果トランジスタM3のゲートにはソースフォロア回路により $VPN * R2 / (R1 + R2)$ が印加され、VPTATのオフセットを持つ差動アンプとp型チャネル電界効果トランジスタM8, 抵抗R3, R4からなるフィードバックループにより電界効果トランジスタM4のゲート電位V4は $VPN * R2 / (R1 + R2) + VPTAT$ となる。

【0118】従って、電界効果トランジスタM8のドレン電位V5として、 $V5 = (VPN * R2 / (R1 + R2) + VPTAT) * (R3 + R4) / R4 (= Vref : 基準電圧)$ を得る。

【0119】所望の温度特性は、高濃度n型のゲート、低濃度n型のゲート、p型のゲートの不純物濃度または抵抗R1, R2を変えることにより任意に設定可能である。さらに、抵抗R3, R4により設定電圧を抵抗比で設定可能な基準電圧源が実現できる。しかも、電界効果トランジスタM8により電流駆動能力も大きくなる。

【0120】図21は本発明の第9実施例を説明するための図である。同図において、電界効果トランジスタM1, M2はp型チャネルであり、基板やチャネルドープの不純物濃度は等しく、p型基板のnウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。電界効果トランジスタM3, M4はn型チャネルであり、基板やチャネルドープの不純物濃度は等しく、p型基板のpウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と異なりGND電位となる。チャネル幅Wとチャネル長Lの比S=W/Lは、S_{m1}=S_{m2}, S_{m3}=S_{m4}である。

【0121】電界効果トランジスタM2は、高濃度p型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。電界効果トランジスタM1は高濃度n型のゲートを持ち、p型チャネルの電界効果トランジスタM5と抵抗R1, R2からなるソースフォロア回路によりゲート電位が与えられる。電界効果トランジスタM3は高濃度n型のゲートの電界効果トランジスタ、電界効果トランジスタM4は低濃度n型のゲートの電界効果トランジスタである。

【0122】ペア電界効果トランジスタM1とM2は、同一の電流が流れるため、電界効果トランジスタM1のゲート-ソース間電圧はVPNとなる。また、ペア電界効果トランジスタM3とM4は、差動増幅器の入力トラン

ジスタでありp型チャネルMOSトランジスタM6とM7のカレントミラー回路により同一の電流が流れる。よって、この差動増幅器はVPTATの入力オフセットを持つ。電界効果トランジスタM3のゲートはソースフォロア回路により、 $V_3 = VPN * R2 / (R1+R2)$ が印加され、VPTATのオフセットを持つ差動アンプとp型チャネル電界効果トランジスタM8、抵抗R3、R4からなるフィードバックループにより電界効果トランジスタM4のゲート電位 V_4 は、

$$V_4 = VPN * R2 / (R1+R2) + VPTAT (= V_{ref1} : 基準電圧1)$$

となる。

【0123】従って、電界効果トランジスタM8のドレン電位 V_5 として、

$$V_5 = (VPN * R2 / (R1+R2) + VPTAT) * (R3+R4) / R4 (= V_{ref2} : 基準電圧2)$$

を得る。

【0124】所望の温度特性は、高濃度n型のゲート、低濃度n型のゲート、p型のゲートの不純物濃度または抵抗R1、R2を変えることにより任意に設定できる。さらに、抵抗R3、R4により設定電圧を抵抗比で設定可能な基準電圧源ができる。しかも電界効果トランジスタM8により電流駆動能力も大きくできる。このように、ソース電位と基板電位が異なりバックバイアスがかかるペアトランジスタでもバックバイアスの電圧を等しくすればVPN、VPTATの電圧源に使える。

【0125】図22は本発明の第10実施例を説明するための図である。同図において、電界効果トランジスタM1、M2、M3、M4が全てn型チャネルで、基板やチャネルドーブの不純物濃度は等しく、p型基板のpウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。チャネル幅Wとチャネル長Lの比 $S=W/L$ は、 $S_{m1}=S_{m2}$ 、 $S_{m3}=S_{m4}$ である。

【0126】電界効果トランジスタM1は、高濃度n型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。電界効果トランジスタM2は高濃度p型のゲートを持ち、n型チャネルの電界効果トランジスタM5と抵抗R2（図の抵抗R1がなく短絡された場合）からなるソースフォロア回路によりゲート電位が与えられる。電界効果トランジスタM3は高濃度n型のゲートのデプレッション型、電界効果トランジスタM4は低濃度n型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。

【0127】ペア電界効果トランジスタM1とM2は、同一の電流が流れるため、電界効果トランジスタM2のゲート-ソース間電圧はVPNとなる。また、ペア電界効果トランジスタM3、M4は、同一の電流が流れるため、電界効果トランジスタM3のゲート-ソース間電圧は-VPTATとなる。

【0128】従って、電界効果トランジスタM3のソース電位 V_3 は、

$V_3 = VPN - (-VPTAT) = VPN + VPTAT (= V_{ref1} : 基準電圧1)$

となる。所望の温度特性は、高濃度n型のゲート、低濃度n型のゲート、p型のゲートの不純物濃度を変えることにより任意に設定できる。

【0129】さらに、図22に示すようにソースフォロア回路に抵抗R1を挿入すると、

$$V_3 = VPN * R2 / (R1+R2) + VPTAT (= V_{ref2} : 基準電圧2)$$

と所望の温度特性を抵抗比でも設定可能な基準電圧源ができる。

【0130】図23は本発明の第11実施例を説明するための図である。同図において、電界効果トランジスタM1、M2、M3、M4が全てp型チャネルで、基板やチャネルドーブの不純物濃度は等しく、p型基板のnウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。チャネル幅Wとチャネル長Lの比 $S=W/L$ は、 $S_{m1}=S_{m2}$ 、 $S_{m3}=S_{m4}$ である。

【0131】電界効果トランジスタM1は、高濃度n型のゲートを持ち、p型チャネルの電界効果トランジスタM5と抵抗R1（図の抵抗R2がなく短絡された場合）からなるソースフォロア回路によりゲート電位が与えられる。電界効果トランジスタM2は高濃度p型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。電界効果トランジスタM3は低濃度n型のゲートの電界効果トランジスタ、電界効果トランジスタM4は高濃度n型のゲートの電界効果トランジスタである。

【0132】ペア電界効果トランジスタM1とM2は、同一の電流が流れるため、電界効果トランジスタM1のゲート-ソース間電圧は-VPNとなる。また、ペア電界効果トランジスタM3とM4は、同一の電流が流れるため、電界効果トランジスタM4のゲート-ソース間電圧は(-VPTAT+V_{GS}M3))となる。

【0133】従って、電界効果トランジスタM4のソース電位 V_3 は、

$$V_3 = VPN + VPTAT (= V_{ref1} : 基準電圧1)$$

となる。所望の温度特性は、高濃度n型のゲート、低濃度n型のゲート、p型のゲートの不純物濃度を変えることにより任意に設定できる。

【0134】さらに、図23に示すようにソースフォロア回路に抵抗R2を挿入すると、

$$V_3 = VPN * R2 / (R1+R2) + VPTAT (= V_{ref2} : 基準電圧2)$$

となり、所望の温度特性を抵抗比でも設定可能な基準電圧源が実現できる。

【0135】図24は本発明の第12実施例を説明するための図である。同図において、電界効果トランジスタM1、M2はn型チャネルの電界効果トランジスタであり、基板やチャネルドーブの不純物濃度は等しく、n型

基板のpウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。電界効果トランジスタM3, M4はp型チャネルの電界効果トランジスタであり、基板やチャネルドープの不純物濃度は等しく、n型基板の基板とは分離されたnウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。チャネル幅Wとチャネル長Lの比S=W/Lは、S_{m1}=S_{m2}, S_{m3}=S_{m4}である。

【0136】電界効果トランジスタM1は、高濃度n型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。電界効果トランジスタM2は高濃度p型のゲートを持ち、n型チャネルの電界効果トランジスタM5と抵抗R2(図の抵抗R1がなく短絡された場合)からなるソースフォロア回路によりゲート電位が与えられる。電界効果トランジスタM3は高濃度p型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。電界効果トランジスタM4は低濃度p型のゲートの電界効果トランジスタである。

【0137】ペア電界効果トランジスタM1とM2は、同一の電流が流れるため、電界効果トランジスタM2のゲート-ソース間電圧はVPNとなる。また、ペア電界効果トランジスタM3とM4は、同一の電流が流れるため、電界効果トランジスタM4のゲート-ソース間電圧は-VPTATとなる。

【0138】従って、電界効果トランジスタM4のソース電位V3は、

$$V3 = VPN + VPTAT \quad (= Vref1 : 基準電圧1)$$

となる。

【0139】所望の温度特性は、高濃度p型のゲート、低濃度p型のゲート、n型のゲートの不純物濃度を変えることにより任意に設定できる。さらに、ソースフォロア回路に抵抗R1を挿入すると、

$$V2 = VPN + R2 / (R1 + R2) + VPTAT \quad (= Vref2 : 基準電圧2)$$

となり所望の温度特性を抵抗比でも設定可能な基準電圧源が実現できる。

【0140】図25は第13実施例を説明するための図である。同図において、電界効果トランジスタM1, M2はp型チャネルの電界効果トランジスタであり、基板やチャネルドープの不純物濃度は等しく、n型基板の基板とは分離されたnウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。電界効果トランジスタM3とM4はn型チャネルの電界効果トランジスタであり、基板やチャネルドープの不純物濃度は等しく、n型基板のpウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。チャネル幅Wとチャネル長Lの比S=W/Lは、S_{m1}=S_{m2}, S_{m3}=S_{m4}である。

【0141】電界効果トランジスタM1は、高濃度n型のゲートを持ち、p型チャネルの電界効果トランジスタM5と抵抗R1, R2からなるソースフォロア回路によ

りゲート電位が与えられる。電界効果トランジスタM2は高濃度p型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。電界効果トランジスタM3は高濃度n型のゲートのデプレッション型、電界効果トランジスタM4は低濃度n型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。

【0142】ペア電界効果トランジスタM1とM2は、同一の電流が流れるため、電界効果トランジスタM1のゲート-ソース間電圧は(VCC-VPN)となる。また、ペア電界効果トランジスタM3とM4は、同一の電流が流れるため、電界効果トランジスタM3のゲート-ソース間電圧は-VPTATとなる。

【0143】従って、電界効果トランジスタM3のソース電位V3は、

$$V3 = VPN * R2 / R1 + VPTAT \quad (= Vref : 基準電圧)$$

となる。所望の温度特性は、高濃度n型のゲート、低濃度n型、p型のゲートの不純物濃度または抵抗R1, R2を変えることにより任意に設定できる。

図26は第14実施例を説明するための図である。同図において、電界効果トランジスタM1, M2, M3, M4, M5, M6が全てn型チャネルであり、基板やチャネルドープの不純物濃度は等しく、n型基板のpウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。チャネル幅Wとチャネル長Lの比S=W/Lは、S_{m1}=S_{m2}, S_{m3}=S_{m4}, S_{m5}=S_{m6}である。

【0144】電界効果トランジスタM1は、高濃度n型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。電界効果トランジスタM2は高濃度p型のゲートのエンハンスマント型でゲートとドレインを結線している。電界効果トランジスタM3とM5は高濃度n型のゲートのデプレッション型、電界効果トランジスタM4とM6は低濃度n型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。

【0145】ペア電界効果トランジスタM1とM2は、同一の電流が流れるため、電界効果トランジスタM2のゲート-ソース間電圧はVPNとなる。また、ペア電界効果トランジスタM3とM4は、同一の電流が流れるため、電界効果トランジスタM3のゲート-ソース間電圧は-VPTATとなる。また、ペア電界効果トランジスタM5とM6も、同一の電流が流れるため、電界効果トランジスタM5のゲート-ソース間電圧は-VPTATとなる。

【0146】従って、電界効果トランジスタM5のソース電位V4は、

$$V4 = VPN + VPTAT + VPTAT \quad (= Vref : 基準電圧)$$

となる。

【0147】所望の温度特性は、高濃度n型のゲート、低濃度n型のゲート、p型のゲートの不純物濃度を変えること、または正の温度系数を持つ電圧源であるペアトランジスタ(M3/M4, M5/M6, ...)の段数を

変えることにより任意に設定できる。

【0148】図27は第15実施例を説明するための図である。同図において、電界効果トランジスタM1, M2, M3, M4, M5, M6, M7が全てn型チャネルであり、基板やチャネルドープの不純物濃度は等しく、n型基板のpウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。チャネル幅Wとチャネル長Lの比S=W/Lは、S_{m1}=S_{m2}=S_{m3}, S_{m4}=S_{m5}である。

【0149】電界効果トランジスタM1は、高濃度n型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。電界効果トランジスタM2, M3は高濃度p型のゲートのエンハンスマント型でゲートとドレインを結線している。電界効果トランジスタM4, M6は高濃度n型のゲートのデプレッション型、電界効果トランジスタM5とM7は低濃度n型のゲートのデプレッション型でゲートとソースを結線して定電流源となる。

【0150】ペア電界効果トランジスタM1とM2およびペア電界効果トランジスタM1とM3は、同一の電流が流れるため、電界効果トランジスタM2, M3のゲート-ソース間電圧はVPNとなる。ペア電界効果トランジスタM4とM5は、同一の電流が流れるため、電界効果トランジスタM4のゲート-ソース間電圧は-VPTATとなる。ペア電界効果トランジスタM6とM7も、同一の電流が流れるため、電界効果トランジスタM6のゲート-ソース間電圧は-VPTATとなる。

【0151】従って、電界効果トランジスタM6のソース電位V4は、

$$V4 = VPN + VPTAT + VPTAT \quad (= V_{ref} : 基準電圧)$$

となる。

【0152】所望の温度特性は、高濃度n型のゲート、低濃度n型のゲート、p型のゲートの不純物濃度を変えること、または負の温度係数を持つ電圧源であるペアトランジスタ(M1/M2, M1/M3, ...)の段数を変えること、または正の温度係数を持つ電圧源であるペアトランジスタ(M4/M5, M6/M7, ...)の段数を変えることにより任意に設定できる。

【0153】図28は本発明の第16実施例を説明するための図である。同図において、電界効果トランジスタM1, M2, M3, M4, M5, M6が全てエンハンスマント型n型チャネル電界効果トランジスタであり、基板の濃度は等しく、n型基板のpウェル内に形成され、各電界効果トランジスタの基板電位はソース電位と等しくしてある。チャネル幅Wとチャネル長Lの比S=W/Lは、S_{m1}=S_{m2}, S_{m3}=S_{m4}, S_{m5}=S_{m6}で、チャネルドープはなしである。

【0154】電界効果トランジスタM1は、高濃度n型のゲートのエンハンスマント型でゲートとソースを結線して弱反転もしくは遷移領域で動作する定電流源とな

る。電界効果トランジスタM2は高濃度p型のゲートのエンハンスマント型でゲートとドレインを結線している。電界効果トランジスタM3とM5は高濃度n型のゲートのエンハンスマント型、電界効果トランジスタM4とM6は低濃度n型のゲートのエンハンスマント型でゲートとソースを結線して弱反転もしくは遷移領域で動作する定電流源となる。

【0155】ペア電界効果トランジスタM1とM2は、同一の電流が流れるため、電界効果トランジスタM2のゲート-ソース間電圧はVPNとなる。また、ペア電界効果トランジスタM3とM4は、同一の電流が流れるため、電界効果トランジスタM3のゲート-ソース間電圧は-VPTATとなる。また、ペア電界効果トランジスタM5とM6も、同一の電流が流れるため、電界効果トランジスタM5のゲート-ソース間電圧は-VPTATとなる。

【0156】従って、電界効果トランジスタM5のソース電位V4は

$V4 = VPN + VPTAT + VPTAT \quad (= V_{ref} : 基準電圧)$
となる。所望の温度特性は、高濃度n型のゲート、低濃度n型のゲート、p型のゲートの不純物濃度を変えることにより任意に設定可能である。

【0157】具体的な数値例をあげると、ドレイン電流1nAを流すゲート-ソース間電圧をスレッシュホールド電圧として、高濃度n型の電界効果トランジスタM1, M3, M5のスレッシュホールド電圧は0.2V、低濃度n型の電界効果トランジスタM4とM6のスレッシュホールド電圧は0.3V、ドレイン電流を1桁変えるのに必要なゲート-ソース間電圧の変位幅であるS値を100mVとすると、ゲートとソースを結線した電界効果トランジスタM1のドレイン電流は10nA、ゲートとソースを結線した電界効果トランジスタM4とM6のドレイン電流は1nAとなる。

【0158】このようにチャネルドープなしの同一基板濃度のペア電界効果トランジスタを用いることにより、ペア特性の向上と低消費電流化が実現できる。

【0159】

【発明の効果】本発明によれば、80°C以上の高温でも安定動作し、強反転でも使用可能な電界効果トランジスタを用いた電圧発生回路を実現することが可能となる。さらに詳しくは、請求項1~5に記載の発明では、80°C以上の高温でも安定動作し、弱反転だけではなく強反転でも使用可能な電界効果トランジスタを用いた各種の回路構成を有する電圧発生回路が実現でき、請求項6~8に記載の発明では、抵抗により不純物濃度を調整することが可能な電圧発生回路を実現でき、請求項9に記載の発明では、作成後にその抵抗値を調整することにより濃度の調整が可能となり、また請求項10に記載の発明では、異なる導電型の電界効果トランジスタで電圧発生回路を構成することができる。

【0160】又、本願発明によれば、微少電流バイアス

回路や導伝係数の温度特性を補正するための電流バイアス回路を用いずに、所望の温度特性の電圧源回路を実現することが可能となる。特に、各請求項12～27記載した如き様々な回路構成を採用することが可能となるため適用範囲を大幅に拡大することができる。

【図面の簡単な説明】

- 【図1】従来の回路構成例を示す図である（その1）。
- 【図2】従来の回路構成例を示す図である（その2）。
- 【図3】従来の回路構成例を示す図である（その3）。
- 【図4】MOSトランジスタのバンド図である。
- 【図5】ペアトランジスタのポリシリコンゲートのリン濃度Ng1 Ng2の変動とVTATの変動の関連を説明するための図である。
- 【図6】本発明の第1実施例の基本回路構成を示す図である。
- 【図7】本発明の第2実施例の基本回路構成を示す図である。
- 【図8】本発明の第3実施例の基本回路構成を示す図である。
- 【図9】本発明の第3実施例の第1変形例の基本回路構成を示す図である。
- 【図10】本発明の第3実施例の第2変形例の基本回路構成を示す図である。
- 【図11】本発明の第3実施例の第3変形例の基本回路構成を示す図である。
- 【図12】本発明の第4実施例の基本回路構成を示す図（A）及びその変形例の基本回路構成を示す図（B）である。
- 【図13】本発明の第4実施例の第1変形例の基本回路構成を示す図（A）及びその更なる変形例の基本回路構成を示す図（B）である。
- 【図14】本発明の第4実施例の第2変形例の基本回路構成を示す図（A）及びその更なる変形例の基本回路構成を示す図（B）である。
- 【図15】本発明の第4実施例の第3変形例の基本回路構成を示す図である。
- 【図16】本発明の第5実施例の基本回路構成を示す図である。

【図17】ゲートの不純物と濃度とスレッシュホールド電圧の関係を示す図である。

【図18】本発明の第6実施例の基本回路構成を示す図である。

【図19】本発明の第7実施例の基本回路構成を示す図である。

【図20】本発明の第8実施例の基本回路構成を示す図である。

【図21】本発明の第9実施例の基本回路構成を示す図である。

【図22】本発明の第10実施例の基本回路構成を示す図である。

【図23】本発明の第11実施例の基本回路構成を示す図である。

【図24】本発明の第12実施例の基本回路構成を示す図である。

【図25】本発明の第13実施例の基本回路構成を示す図である。

【図26】本発明の第14実施例の基本回路構成を示す図である。

【図27】本発明の第15実施例の基本回路構成を示す図である。

【図28】本発明の第16実施例の基本回路構成を示す図である。

【図29】ダングリングボンドをターミネートする場合の効果を説明するための、半導体の不純物濃度とその比抵抗との関係を示す図である。

【図30】抵抗トリミング手段の構成例を示す図である。

【符号の説明】

M1：低濃度(Ng1)のn型ポリシリコンのゲートを持つMOSトランジスタ

M2：高濃度(Ng2)のn型ポリシリコンのゲートを持つMOSトランジスタ

M3～M7, T1, T2, Ta, Tb : MOSトランジスタ

R, R1～R4 : 抵抗

A1 : 差動アンプ

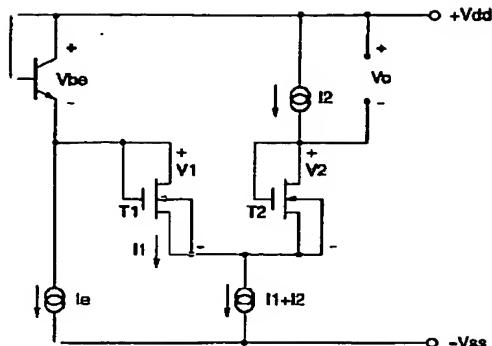
【図17】

ゲートの不純物の濃度とスレショールド電圧の関係を示す図

	Ni	NL	UL	PH
NチャネルMOSトランジスター	-0.5V	-0.4V	0.5V	0.6V
PチャネルMOSトランジスター	-0.6V	-0.5V	0.4V	0.5V

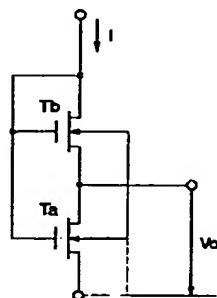
【図1】

従来の回路構成例を示す図(その1)



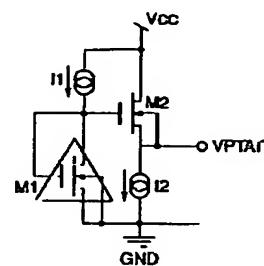
【図2】

従来の回路構成例を示す図(その2)



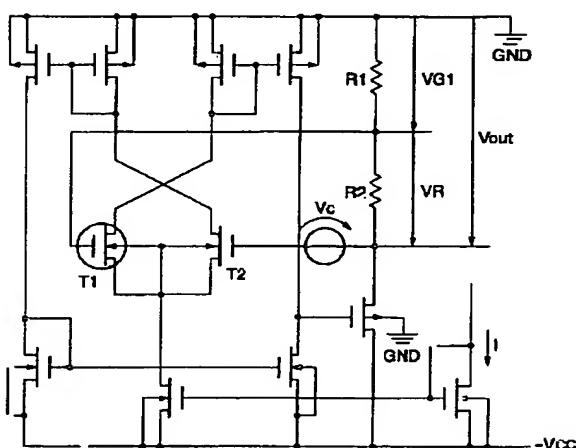
【図6】

本発明の第1実施例の基本回路構成を示す図



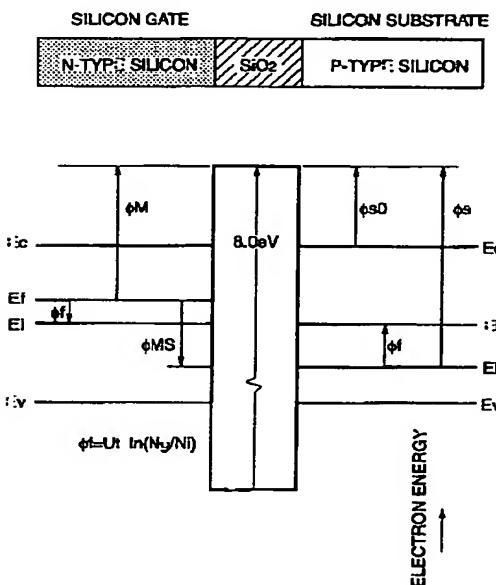
【図3】

従来の回路構成例を示す図(その3)



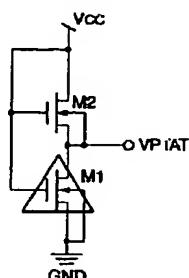
【図4】

MOSトランジスタのバンド図



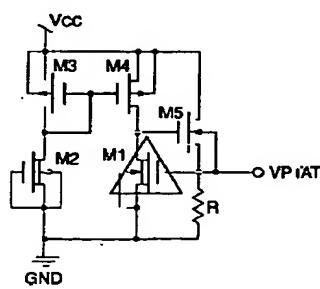
【図7】

本発明の第2実施例の基本回路構成を示す図



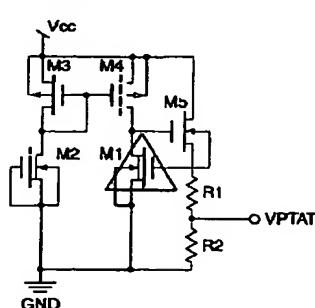
【図8】

本発明の第3実施例の基本回路構成を示す図



【図9】

本発明の第3実施例の第1変形例の基本回路構成を示す図



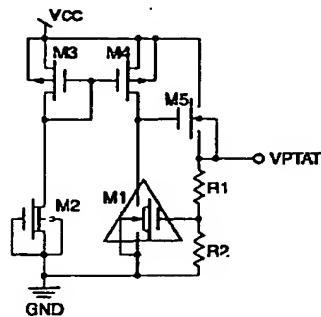
【図5】

ペアトランジスタのポリシリコンゲートのリン濃度 N_{g1}, N_{g2} の変動と
VPTATの変動の関連を説明するための図

	$\cdot ip(typ)$	$\cdot ip(Min)$	$\cdot ip(Max)$
N_{g1}	[1/cm ²] 3	2e-18	2.2e-18
N_{g2}	[1/cm ²] 3	1e+20	1.8e+18
			1.1e+20
$n(\cdot g2/\cdot g1)$	0	8.52	8.72
VPTAT(500K)	V	0.221	0.216
$dVPTAT/dT$	V/°C	7.39e-4	7.21e-4
		7.56e-4	

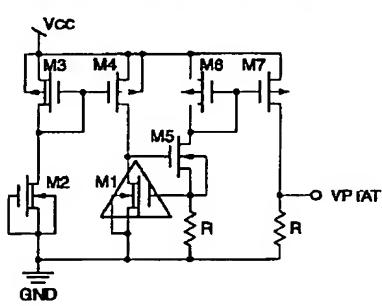
【図10】

本発明の第3実施例の第2変形例の基本回路構成を示す図



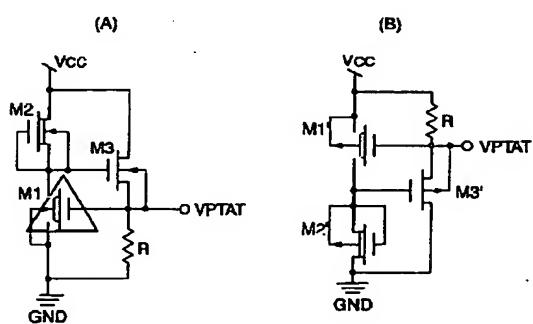
【図11】

本発明の第3実施例の第3変形例の基本回路構成を示す図



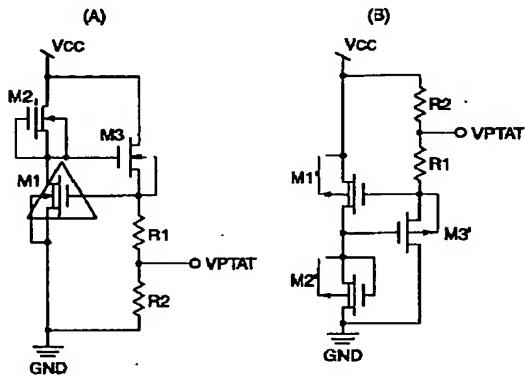
【図12】

本発明の第4実施例の基本回路構成を示す図(A) 及びその変形例の基本回路構成を示す図(B)



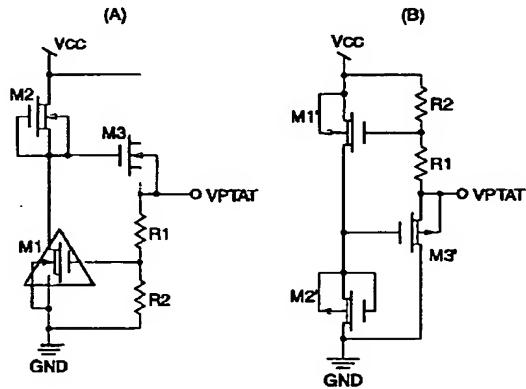
【図13】

本発明の第4実施例の第1変形例の基本回路構成を示す図(A)及びその更なる変形例の基本回路構成を示す図(B)



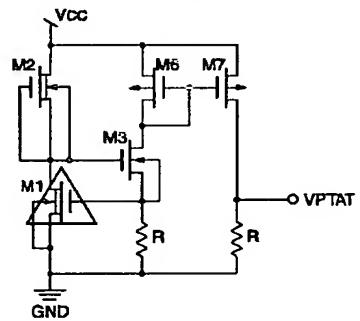
【図14】

本発明の第4実施例の第2変形例の基本回路構成を示す図(A)及びその更なる変形例の基本回路構成を示す図(B)



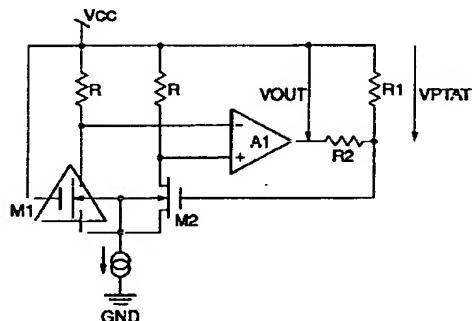
【図15】

本発明の第4実施例の第3変形例の基本回路構成を示す図



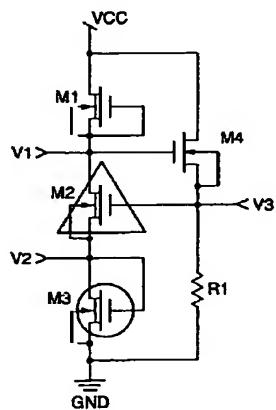
【図16】

本発明の第5実施例の基本回路構成を示す図



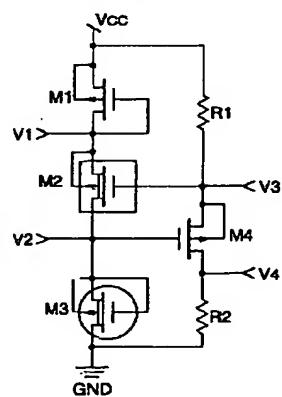
【図18】

本発明の第6実施例の基本回路構成を示す図



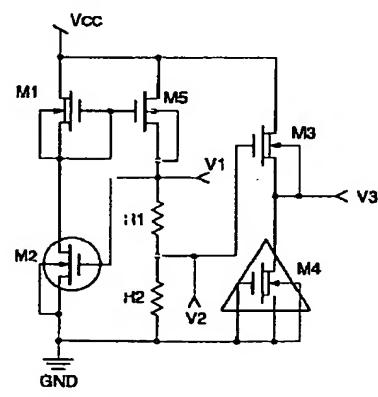
【図19】

本発明の第7実施例の基本回路構成を示す図



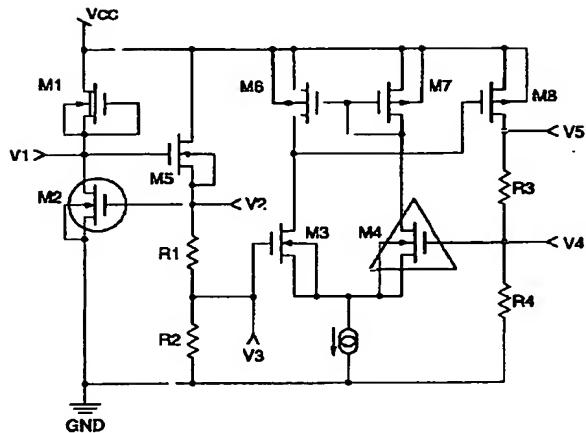
【図22】

本発明の第10実施例の基本回路構成を示す図



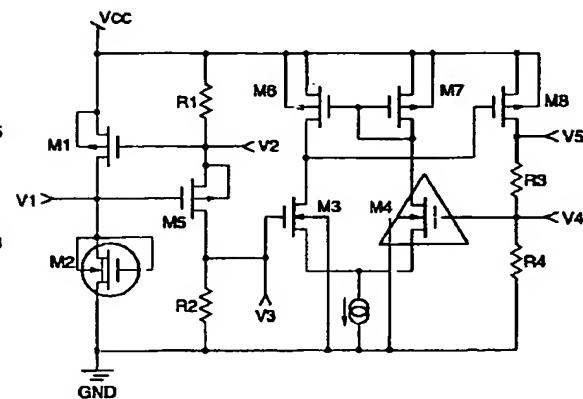
【図20】

本発明の第6実施例の基本回路構成を示す図



【図21】

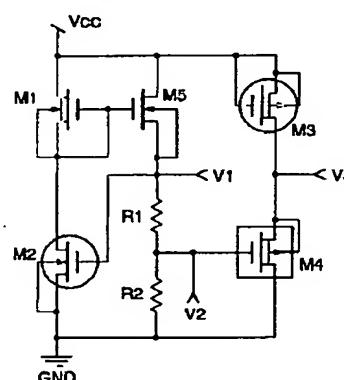
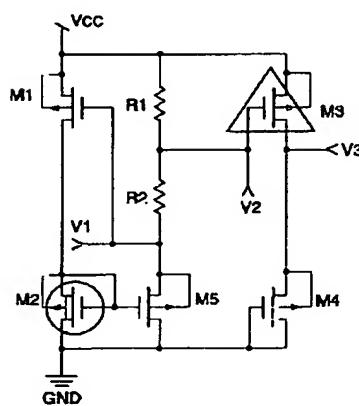
本発明の第9実施例の基本回路構成を示す図



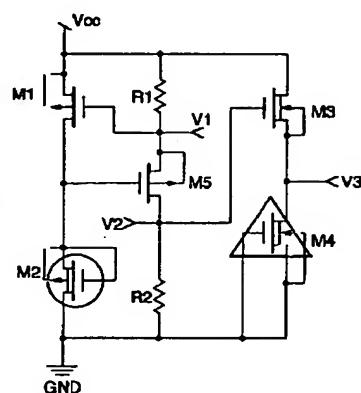
【図23】

【図24】

本発明の第11実施例の基本回路構成を示す図 本発明の第12実施例の基本回路構成を示す図



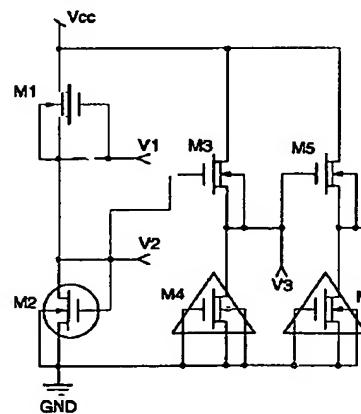
本発明の第13実施例の基本回路構成を示す図



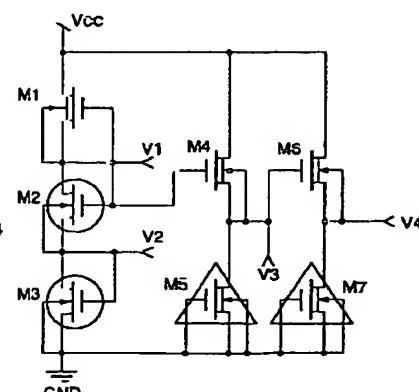
【図26】

【図27】

本発明の第14実施例の基本回路構成を示す図

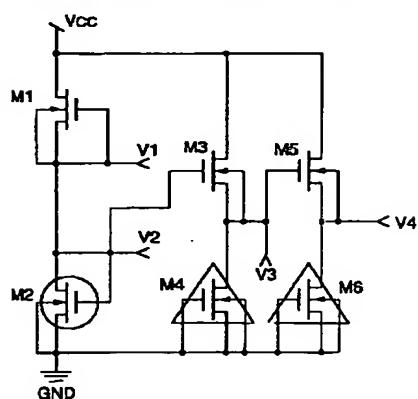


本発明の第15実施例の基本回路構成を示す図



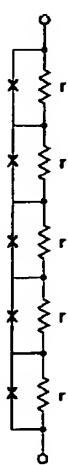
【図28】

本発明の第16実施例の基本回路構成を示す図



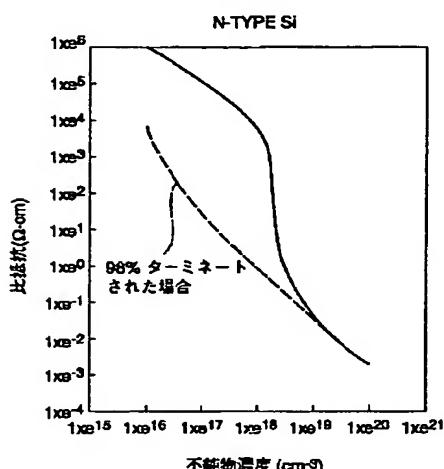
【図30】

抵抗トリミング手段の構成例を示す図



【図29】

ダングリングボンドをターミネートする場合の効果を説明するための
半導体の不純物濃度とその比抵抗との関係を示す図



フロントページの続き

(51) Int.Cl. 7

H 01 L 21/8236

識別記号

F I

H 01 L 27/08

(参考)

3 1 1 C

3 1 1 D

(26))01-284464 (P2001-284464A)

Fターム(参考) 5F038 AR21 AV03 AV06 AV10 AZ08
BB02 BB04 BB08 BG06 DF01
EZ17 EZ20
5F048 AA00 AA07 AB08 AB10 AC02
AC03 AC10 BB04 BB06 BB07
BB14 BD02 BD04 BE04
5H420 NA17 NB02 NB22 NB25 NC14
NC33 NE23